

(33)

第 544648 號專利證書

Cite No. 4

中華民國專利公報 [19] [12]

[11]公告編號: 544648

[44]中華民國 92年(2003) 08月01日
發明

全 33 頁

[51] Int.Cl.⁰⁷: G09G3/36
G09G3/20

[54]名稱: 顯示裝置、影像控制半導體裝置、及顯示裝置之驅動方法

[21]申請案號: 090110170

[22]申請日期: 中華民國 90年(2001) 04月27日

[30]優先權:	[31]2000-127093	[32]2000/04/27	[33]日本
	[31]2000-321530	[32]2000/10/20	[33]日本
	[31]2001-123191	[32]2001/04/20	[33]日本

[72]發明人:

中村 章	日本
原田 望	日本

[71]申請人:

東芝股份有限公司	日本
----------	----

[74]代理人: 陳長文 先生

1

2

[57]申請專利範圍:

1.一種顯示裝置,具有:

縱橫排列設置於絕緣基板上之信號線及掃描線、

在信號線及掃描線之各交點附近所形成之顯示元件、

將在前述絕緣基板上形成之各信號線驅動的信號線驅動電路、

將在前述絕緣基板上形成之各掃描線驅動的掃描線驅動電路、及

以配合前述信號線驅動電路之信號線驅動順序來輸出數位像素資料的圖形控制器 IC、

前述圖形控制器 IC 係以前述數位像素資料之週期的2倍以上週期來輸出時鐘脈衝信號、

前述信號線驅動電路及前述掃描線驅動電路係與前述時鐘脈衝信號同步,而各自進行信號線及掃描線之驅動。

5. 2.如申請專利範圍第1項之顯示裝置,其中

前述圖形控制器 IC 係裝設於前述絕緣基板上。

10. 3.如申請專利範圍第1項之顯示裝置,其中

前述圖形控制器 IC 係具有前述數位像素資料以及進行前述時鐘脈衝信號之相位調整的相位調整電路。

15. 4.如申請專利範圍第1項之顯示裝置,其中

- 3457 -

3/22/06 =

(2)

3

前述圖形控制器 IC 係除了前述時鐘脈衝信號、同步信號以及前述數位像素資料之外，輸出指示前述信號線驅動電路及前述掃描線驅動電路的驅動開始之控制信號。

5. 如申請專利範圍第 1 項之顯示裝置，其中

前述圖形控制器 IC，具有輸出數位像素資料之像素資料輸出電路，前述像素資料輸出電路在不輸出有效的前述數位像素資料的期間內，輸出前述數位像素資料的高相位電壓及低相位電壓之間的中間相位電壓。

6. 如申請專利範圍第 1 項之顯示裝置，其中

前述顯示元件、前述信號線驅動電路及前述掃描線驅動電路係使用多晶矽 TFT (Thin Film Transistor) 而形成，前述圖形控制器 IC，係輸出前述多晶矽 TFT 安定動作之頻率的前述時鐘脈衝信號。

7. 如申請專利範圍第 1 項之顯示裝置，其中

前述信號線驅動電路具有單相輸入的相位轉換電路，其係進行從前述圖形控制器 IC 輸出之各信號相位轉換，前述相位轉換電路係將從前述圖形控制器 IC 輸出之各信號以前述信號線驅動電路內的反相器臨界值電壓為中心而轉換為以上下略相等之電壓而變化之電壓。

8. 如申請專利範圍第 7 項之顯示裝置，其中

前述相位轉換電路具有：
一端連接於輸入端子之電容器元件，

連接於前述電容器元件另一端之反

4

相器，及
連接於前述反相器之輸出入端子間的類比開關，

將前述類比開關予以開關 (on-off)，來將前述反相器之輸入電壓以前述反相器的臨界值電壓為中心來使之以上下略相等之電壓而變化之。

5.

9. 如申請專利範圍第 7 項之顯示裝置，其中

10.

前述信號線驅動電路具有除頻電路，而其係將前述數位像素資料以前述時鐘脈衝信號來順序封閉 (latch) 而並列分配輸出，而此數位像素資料係以前述相位轉換電路轉換後所形成，前述除頻電路係將奇數號之前述數位像素資料與相鄰於該資料之偶數號之前述數位像素資料在相同時間下以前述時鐘脈衝信號之 2 倍週期來輸出。

15.

20.

10.

25.

30.

35.

40.

10. 如申請專利範圍第 1 項之顯示裝置，其中

前述信號線驅動電路具有：
以相隔 N 條 (N 為 2 以上之整數) 信號線來驅動而設置之信號線總數為 1/N 個的封閉電路，及
將以前述封閉電路來封閉之數位像素資料轉換為類比電壓之 D/A 轉換器，

前述圖形控制器 IC，係配合以前述信號線驅動電路之信號線驅動順序而輸出前述數位像素資料。

11. 如申請專利範圍第 1 項之顯示裝置，其中

前述圖形控制器 IC，在前述數位像素資料及前述時鐘脈衝信號之外，係輸出與前述時鐘脈衝信號相位間移動半週期的其他時鐘脈衝信號。

12. 一種顯示裝置，具有：

(3)

5

縱橫排列設置於絕緣基板上之信號線及掃描線。

在信號線及掃描線之各交點附近所形成之顯示元件。

在前述絕緣基板上形成之驅動各信號線的信號線驅動電路。

在前述絕緣基板上形成之驅動各掃描線的掃描線驅動電路。

從絕緣基板之一邊略中央向著前述一邊的兩端而各自配置之多條資料總線。及

由信號線驅動電路而相隔多條各信號線而同時驅動，進行傳遞前述資料總線上之數位像素資料的順序控制之順序控制電路。

13.如申請專利範圍第12項之顯示裝置，其中具有：

將供給於相隔多條而配置之各信號線上的數位像素資料順序封閉之第一封閉電路。

在前述第一封閉電路之封閉動作順序結束時，將所有的封閉資料同時再封閉之第二封閉電路。

將以前述第二封閉電路封閉之各數位像素資料同時轉換為類比像素電壓之D/A轉換電路。及

選擇供給前述類比像素電壓之信號線的選擇電路。

14.如申請專利範圍第13項之顯示裝置，其中

前述第二封閉電路分為多組而進行數位像素資料之封閉。

前述D/A轉換電路係將以前述第二封閉電路封閉之數位像素資料以各群組而同時轉換為類比像素電壓。

15.如申請專利範圍第13項之顯示裝置，其中

前述第二封閉電路具有第一至第N(N為2以上之整數)的封閉部。

前述D/A轉換電路係將以前述第二

6

封閉電路之前述第一～第N的封閉部封閉之各數位像素資料同時轉換為類比像素電壓。

16.如申請專利範圍第12項之顯示裝置，其中

具有產生位址之位址產生電路，其係指定進行顯示更新之前述顯示元件的範圍。

形成前述信號線、前述掃描線、前述顯示元件、前述信號線驅動電路、前述掃描線驅動電路、前述儲存控制電路及前述資料總線之第一基板。及

形成前述交替電路與前述位址產生電路之第二基板。

在從前述交替電路將數位像素資料供給到前述資料總線之際，在數位像素資料之前端資料之前將來自前述位址產生電路之位址從像素資料輸出端子輸出。

17.如申請專利範圍第12項之顯示裝置，其中

具有產生位址之位址產生電路，其係指定進行顯示更新之前述顯示元件的範圍。

形成前述信號線、前述掃描線、前述顯示元件、前述信號線驅動電路、前述掃描線驅動電路、前述儲存控制電路及前述資料總線之第一基板。及

形成前述交替電路與前述位址產生電路之第二基板，使用從第二基板傳送到前述第一基板之生效信號線，將前述位址產生電路所產生之位址從像素資料輸出端子輸出。

18.一種顯示裝置，具有：

縱橫排列設置之多個1位元記憶體構成的記憶單元。

配合前述之1位元記憶體值而可變控制顯示之顯示層。

— 3459 —

(4)

7

控制前述記憶單元儲存之儲存控制電路、

從絕緣基板一邊略中央對著前述一邊的兩端而配置之多條資料總線、及

由前述儲存控制電路而使前述之1位元記憶體多個同時驅動之順序控制電路，其係控制傳遞前述資料總線之數位像素資料的順序。

19.如申請專利範圍第18項所記載之顯示裝置，其中

以相鄰之多個前述1位元記憶體構成1像素，

1像素內設置有紅色用之多個前述1位元記憶體、綠色用之多個前述1位元記憶體、藍色用之多個前述1位元記憶體。

20.如申請專利範圍第18項之顯示裝置，其中

具有將供給於各複數配置之前述1位元記憶體的數位像素資料順序封閉之第一封閉電路、

前述第一封閉電路上之封閉動作順序結束時，將所有的封閉資料同時再封閉之第二封閉電路、

將以前述第二封閉電路封閉之各數位像素資料電壓增幅之位元線驅動電路、及

選擇供給前述位元線驅動電路輸出之位元線的選擇電路。

21.如申請專利範圍第18項之顯示裝置，其中

具有產生位址之位址產生電路，其係指定進行前述記憶單元內之資料重寫範圍、

形成前述記憶單元、前述儲存控制電路及前述資料總線之第一基板、

及

以及形成前述交替電路及其前述位址產生電路之第二基板，

8

在從前述交替電路將數位像素資料供給於前述資料總線時，在數位像素資料之前端資料之前將來自前述位址產生電路之位址從像素資料輸出端子輸出。

22.如申請專利範圍第18項之顯示裝置，其中

具有產生位址之位址產生電路，其係指定進行前述記憶單元內之資料重寫範圍、

形成前述記憶單元、前述儲存控制電路及前述資料總線之第一基板、及

形成前述交替電路及其前述位址產生電路之第二基板，

使用從第二基板傳送到前述第一基板之生效信號線，將前述位址產生電路所產生之位址從前述之第一基板供給之。

23.如申請專利範圍第13項之顯示裝置，其中

具有將從外部供給之數位像素資料相位轉換為第一電壓振幅之資料的第一相位轉換電路、

以前述第1相位轉換電路而將被相位轉換之資料予以除頻的除頻電路、

將以前述除頻電路除頻之資料相位轉換為比前述第一電壓振幅之電壓振幅小的第二電壓振幅資料而供給於前述資料總線之第二相位轉換電路、及

將前述資料總線上之資料相位轉換為比前述第二電壓振幅之電壓振幅大的第3電壓振幅資料而供給於前述第一封閉電路之第三相位轉換電路。

24.如申請專利範圍第12項之顯示裝置，其中

具有將從絕緣基板一邊略中央對著前述一邊的一端而配置之資料總線

40.

(5)

9

予以傳遞之數位像素資料的資料分配時鐘脈衝相位及脈衝佔空予以獨立調整之相位脈衝佔空調整電路。

25.一種顯示裝置，具有：

縱橫排列設置於絕緣基板上之信號線及掃描線、

在前述信號線及掃描線之各交點附近所形成之顯示元件、

將在前述絕緣基板上形成之各信號線驅動的信號線驅動電路、及

將在前述絕緣基板上形成之各掃描線驅動的掃描線驅動電路、

前述信號線驅動電路係

將1水平線的第一色數位像素資料分為奇數像素及偶數像素而封閉之、

在特定期間後將第二色之數位像素資料分為奇數像素及偶數像素而封閉的同時，將前述第一色封閉資料予以 D/A 轉換而供給於對應之信號線、

在特定期間後將第三色之數位像素資料分為奇數像素及偶數像素而封閉的同時，將前述第二色封閉資料予以 D/A 轉換而供給於對應之信號線、

在特定期間後將第三色之封閉資料予以 D/A 轉換而供給於對應之信號線。

26.如申請專利範圍第 25 項之顯示裝置，其中

前述絕緣基板上之信號線分割為 n (n 為 2 以上之整數) 個區塊、

前述絕緣基板上之信號線分割為 n (n 為 2 以上之整數) 個區塊、

具有：

在各前述區塊上，將1水平線之對應於前述第一色的數位像素資料分為奇數像素及偶數像素而順序封閉、

在特定期間後將對應於前述第二色的數位像素資料分為奇數像素及偶數像素而順序封閉、

在特定期間後將對應於前述第三色的數位像素資料分為奇數像素及偶數像素而順序封閉、

在特定期間後將對應於前述第三色的數位像素資料分為奇數像素及偶數像素而順序封閉、

10

料分為奇數像素及偶數像素而順序封閉之第一封閉電路、

在各前述區塊上，於前述第一封閉電路之封閉輸出之中，將前述第一、第二或第三色的奇數像素所有的封閉輸出同時封閉之第二封閉電路、

在各前述區塊上，將前述第二及第三封閉電路之封閉輸出同時轉換為類比像素電壓之 D/A 轉換器、及

在各前述區塊上，將以前述 D/A 轉換器轉換之類比像素電壓供給到對應之信號線上的選擇電路。

27.一種影像控制半導體裝置，具有：

控制儲存數位像素資料之影像記憶讀取/儲存的 VRAM 控制部、

配合信號線之驅動順序而變更前述數位像素資料輸出順序的輸出順序控制電路、

將排列設置於絕緣基板上之多條信號線分割為 n (n 為 2 以上之整數) 個區塊、

對前述各 n 個區塊將以前述輸出順序控制電路而更替之前述數位像素資料予以並列輸出之像素資料輸出部、及

對於前述各幾個區塊將指示信號線驅動電路之驅動開始之第一開始脈衝信號予以輸出的第一開始脈衝輸出部；

前述像素資料輸出部將前述數位像素資料分為複數的連續輸出資料群組、

將各連續輸出資料群組相隔特定期間而予以順序輸出。

28.如申請專利範圍第 27 項之影像控制半導體裝置，其中前述輸出順序控制電路係

將1水平線的第一色數位像素資料分為奇數像素及偶數像素而封閉之、

在特定期間後將第二色之數位像素電壓分為奇數像素及偶數像素而封閉之、

在特定期間後將第三色之數位像素電壓分為奇數像素及偶數像素而封閉之、

在特定期間後將第三色之數位像素電壓分為奇數像素及偶數像素而封閉之、

在特定期間後將第三色之數位像素電壓分為奇數像素及偶數像素而封閉之、

在特定期間後將第三色之數位像素電壓分為奇數像素及偶數像素而封閉之、

在特定期間後將第三色之數位像素電壓分為奇數像素及偶數像素而封閉之、

在特定期間後將第三色之數位像素電壓分為奇數像素及偶數像素而封閉之、

- 3461 -

(6)

11

閉的同時，將前述第一色封閉資料予以 D/A 轉換而供給於對應之信號線，在特定期間後將第三色之像素電壓分為奇數像素及偶數像素而封閉的同時，將前述第二色封閉資料予以 D/A 轉換而供給於對應之信號線，在特定期間後將第三色之封閉資料予以 D/A 轉換而供給於對應之信號線，以進行順序控制，

前述第一啟動脈衝輸出部係在特定期間內輸出第一啟動脈衝信號。

29.如申請專利範圍第27項之影像控制半導體裝置，其中具有：

倍頻時鐘脈衝輸出部，其係輸出1倍頻率時鐘脈衝之2倍頻率的像素時鐘脈衝、及

進行前述數位像素資料與前述像素時鐘脈衝之相位調整的相位調整部。

30.如申請專利範圍第29項之影像控制半導體裝置，其中具有：

除頻時鐘脈衝輸出部與第二段動脈衝輸出部，前者係輸出將前述像素時鐘脈衝除頻化之時鐘脈衝，後者係輸出以1水平線的顯示期間為週期之第二段動脈衝信號。

31.如申請專利範圍第27項之影像控制半導體裝置，其中

前述數位像素資料各以k(k為2以上之整數)位元來組成，

根據所輸入之動作功能指示信號，具有從前述像素資料輸出部輸出之數位像素資料的輸出頻率與控制前述數位像素資料之有效位元數的輸出頻率控制部。

32.如申請專利範圍第31項之影像控制半導體裝置，其中

前述動作功能指示信號含有關於前述數位像素資料之有效位元的資料，前述數位像素資料指定之位元

12

以外的位元係固定於特定之邏輯上。

33.如申請專利範圍第27項之影像控制半導體裝置，其中

5. 根據所輸入之動作功能指示信號，具有變更從前述像素資料輸出部輸出之數位像素資料的輸出頻率與輸出振幅之輸出頻率控制部。

34.如申請專利範圍第31項之影像控制半導體裝置，其中

10. 前述動作功能指示信號，含有指定顯示畫面中之像素資料更新領域的資料，

15. 前述交替電路只有以前述動作功能指示信號所指定之領域輸出新的前述數位像素資料。

35.一種影像控制半導體裝置，具有：

20. 控制儲存數位像素資料之影像記憶讀取/儲存的VRAM控制部、

產生前述影像記憶體之讀取位址的讀取位址產生部、

25. 將排列設置於絕緣基板上之多條信號線分割為n(n為2以上之整數)個區塊，對前述各n個區塊而將對應於以前述讀取位址產生部產生之位址而從前述影像記憶體讀取之數位像素資料並列輸出之像素資料輸出部、及

30. 對於前述各幾個區塊將指示信號線驅動電路之驅動開始之第一開始脈衝信號予以輸出的第一開始脈衝輸出部，

35. 前述讀取位址產生部乃將前述區塊內之數位像素資料分為p個(p為2以上之整數)連續被輸出之小資料群，產生前述影像記憶體之讀取位址而使這些小資料群各自相隔特定期間而輸出。

36.一種影像控制半導體裝置，具有：

40. 控制儲存數位像素資料之影像記憶

(7)

13

讀取/儲存的 VRAM 控制部、
產生前述影像記憶體之讀取位址的
讀取位址產生部、
將排列設置於絕緣基板上之多條信
號線分割為 n (n 為 2 以上之整數) 個區
塊，對前述各 n 個區塊而將對應於以
前述讀取位址產生部產生之位址而
從前述影像記憶體讀取之數位像素
資料從前述影像記憶體讀取之第一
順序控制手段、
將由前述第一順序控制手段所讀取
之前述 n 個各區塊的數位像素資料重
新變更順序為 p 個 (p 為 2 以上之整數)
連續輸出之小資料群，而將這些小
資料群相隔特定期間而輸出之第二
順序控制手段、及
前述 n 個各小資料群之前輸出啟動脈
衝之端子。

37. 一種顯示裝置之驅動方法，其所驅
動之顯示裝置係具有：縱橫排列設
置於絕緣基板上之信號線及掃描
線，在前述信號線及掃描線之各交
點附近所形成之顯示元件，將在前
述絕緣基板上形成之各信號線驅動
的信號線驅動電路、及將在前述絕
緣基板上形成之各掃描線驅動的掃
描線驅動電路：
前述顯示裝置的驅動方法之特徵在
於：

係將 1 水平線的第一色數位像素資料
分為奇數像素及偶數像素而封閉
之，在特定期間後將第二色之數位
像素資料分為奇數像素及偶數像素
而封閉的同時，將前述第一色封閉
資料予以 D/A 轉換而供給於對應之
信號線，在特定期間後將第三色之
像素資料分為奇數像素及偶數像素
而封閉的同時，將前述第二色封閉
資料予以 D/A 轉換而供給於對應之
信號線，在特定期間後將第三色之

14

封閉資料予以 D/A 轉換而供給於對
應之信號線。

圖式簡單說明：

圖 1 為一區塊圖表示本發明之顯
示裝置的一實施型態。

圖 2 為圖 1 顯示裝置之斜視圖。

圖 3 為一區塊圖表示圖形控制器
IC 之內部組成。

圖 4 為圖形控制器 IC 之輸出時間
圖。

圖 5 為相位調整電路之電路圖。

圖 6 為將同步信號與時鐘脈衝信
號 CLK 設定在中間電位之中間電位設
定電路之電路圖。

圖 7 為進行系統記憶體控制之記
憶體控制電路內部組成圖。

圖 8 為表示 VRAM 空間與顯示空
間之關係的圖。

圖 9 一區塊圖表示信號線驅動電
路之內部組成。

圖 10 為電平移相器之電路圖。

圖 11 為電平移相器之輸出入信號
波形圖。

圖 12 為除頻電路之電路圖。

圖 13 為除頻電路內之各封閉電路
的輸出時間圖。

圖 14 為本實施型態之顯示裝置的
玻璃基板上的草圖。

圖 15 為使用通用之圖形控制器 IC
而組成的以往之顯示裝置的晶片草
圖。

圖 16 為本發明之顯示裝置的第二
實施型態區塊圖。

圖 17 為表示資料總線之配置的
圖。

圖 18 為表示資料總線上之資料排
列順序圖。

圖 19 為圖 16 之顯示裝置的時間
圖。

圖 20 為一圖表示進行部分顯示更

(8)

15

新之例。

圖 21 一圖表示位址產生電路產生位址之時間。

圖 22 一圖表示位址產生電路產生位址之時間。

圖 23 為一區塊圖表示在具有有效矩陣型像素陣列部之顯示裝置上，以間隔 6 條信號線而驅動時之 EL 面板部 201 之概略組成。

圖 24 為一區塊圖表示相隔 3 條信號線而驅動時之 EL 面板部概略組成。

圖 25 為一區塊圖表示圖 24 之變形例。

圖 26 為表示數位像素資料之傳送路線圖。

圖 27 為一區塊圖表示將信號線分割成 4 區塊而驅動時之信號線驅動電路的概略組成。

16

圖 28(a)-圖 28(c)表示信號線之驅動順序。

圖 29 為一區塊圖表示圖 28 之一區塊詳細組成。

5. 圖 30 為圖 29 之動作時間圖。

圖 31 為圖形控制器 IC 輸出之各種控制信號的時間圖。

圖 32 為多系統選期型圖形控制器 IC 之區塊組成圖。

10. 圖 33 為隨機存取型之圖形控制器 IC 之區塊組成圖。

圖 34 為一圖說明使用了唯讀產生部之 VRAM 讀取。

15. 圖 35 為一區塊圖表示在全畫面更新型之圖形控制器 IC 內部設置讀取位址產生部之例。

圖 36 為一區塊圖表示以往之液晶顯示裝置。

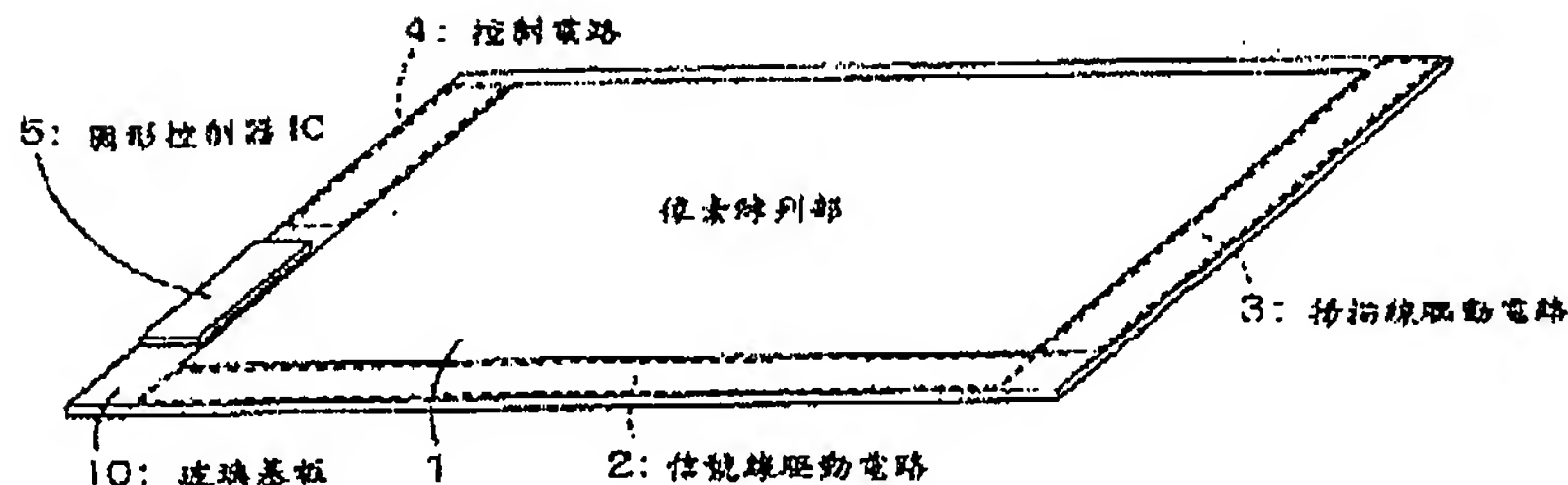


圖 2

(9)

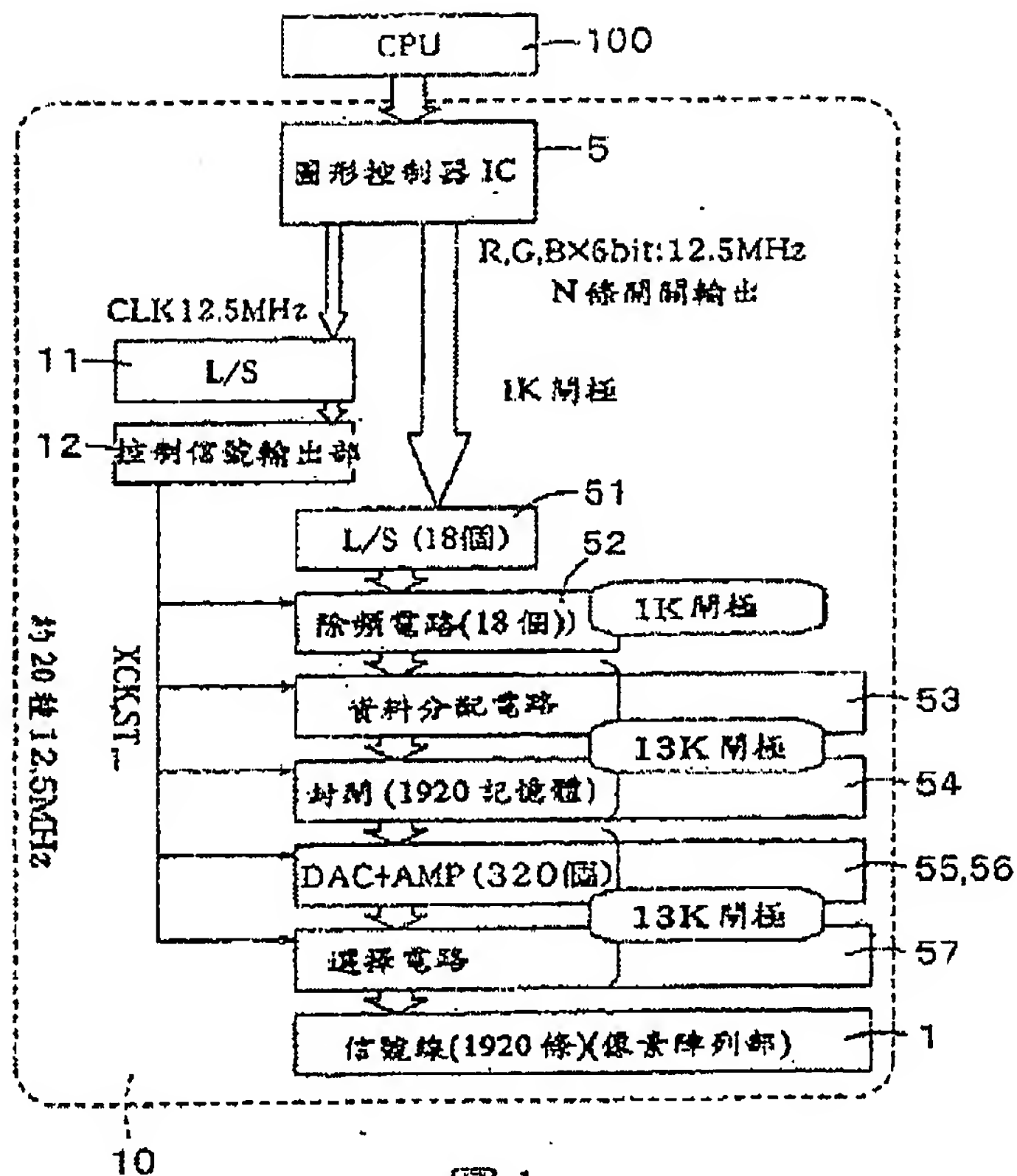


圖 1

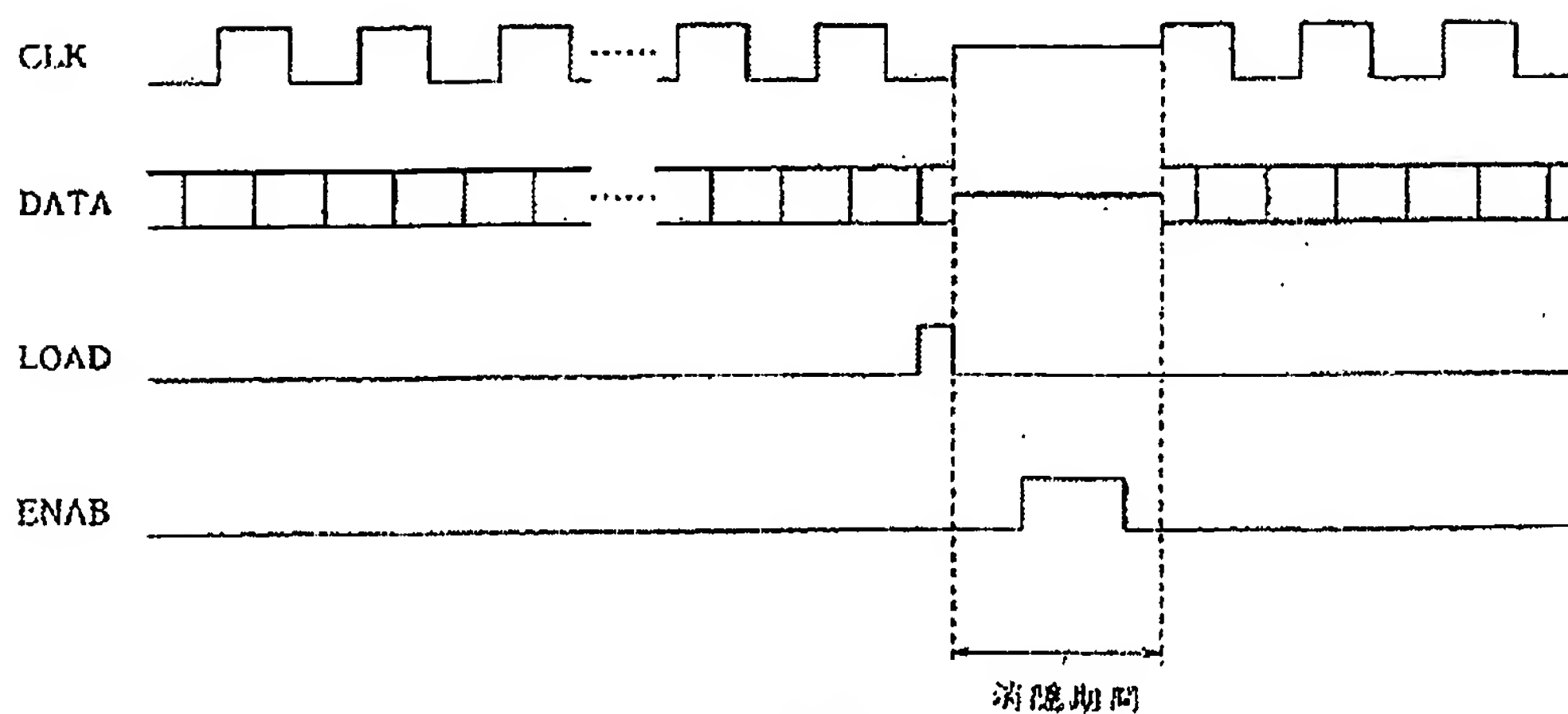


圖 4

- 3465 -

(10)

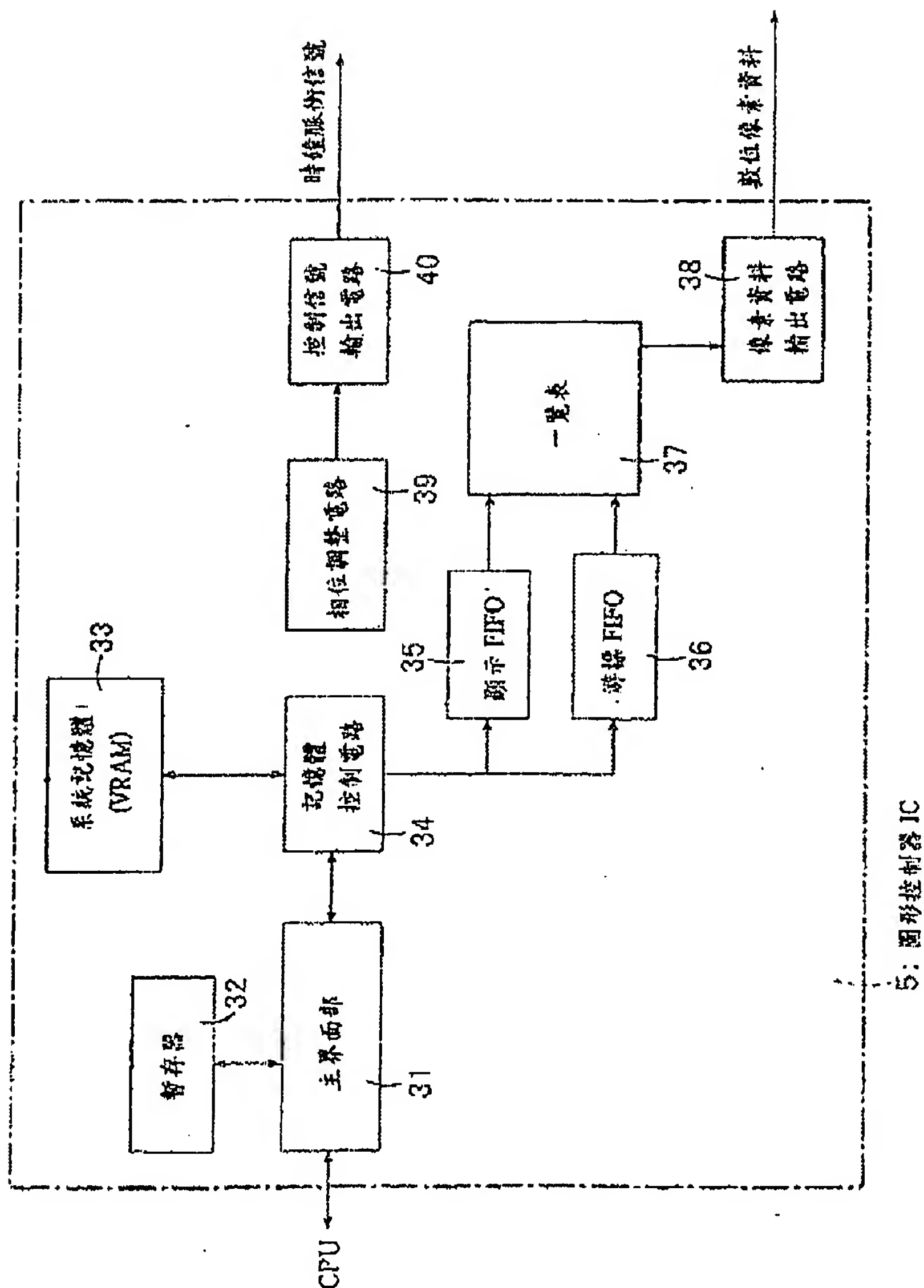


圖 3

5: 图形控制器 IC

(11)

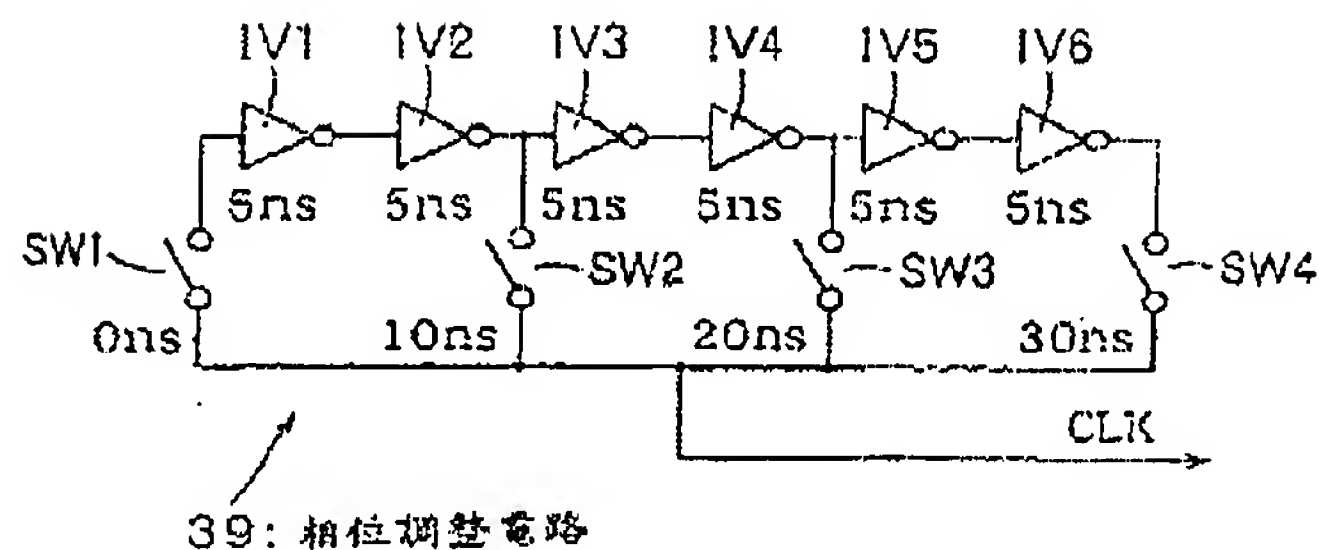


圖 5

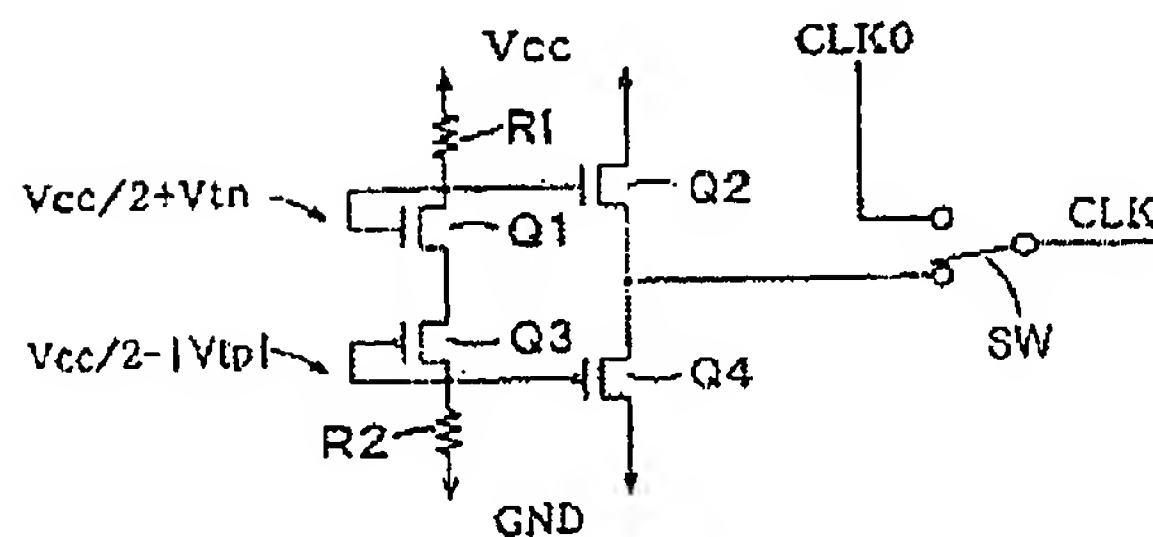


圖 6

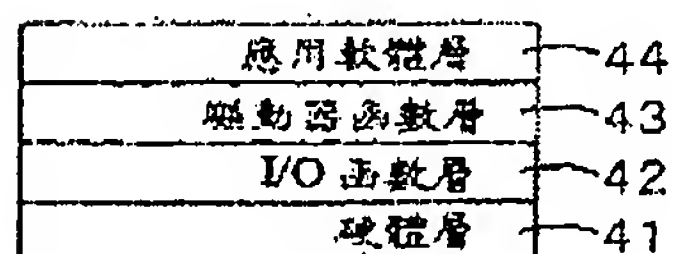


圖 7

- 3467 -

(12)

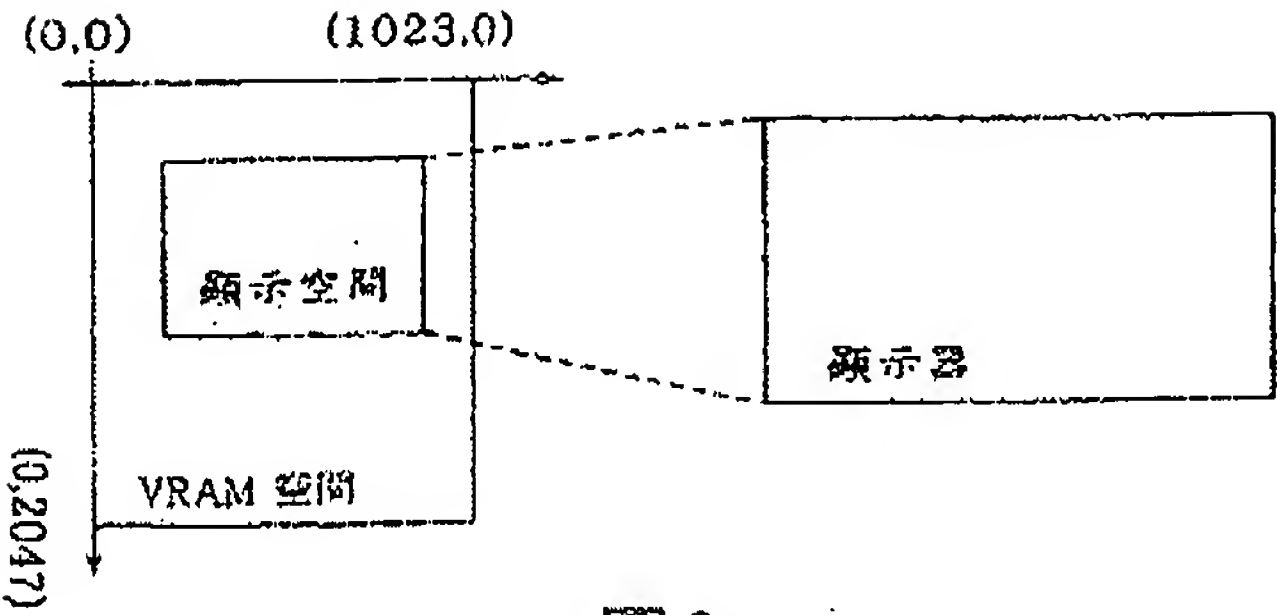


圖 8

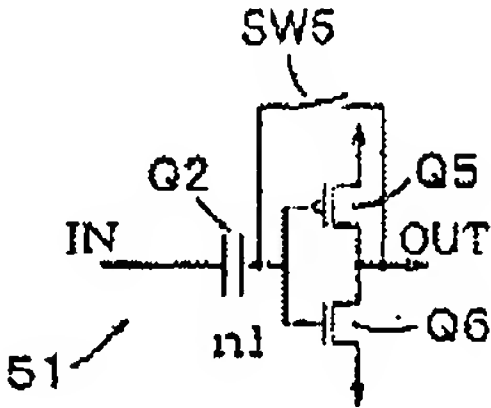


圖 10

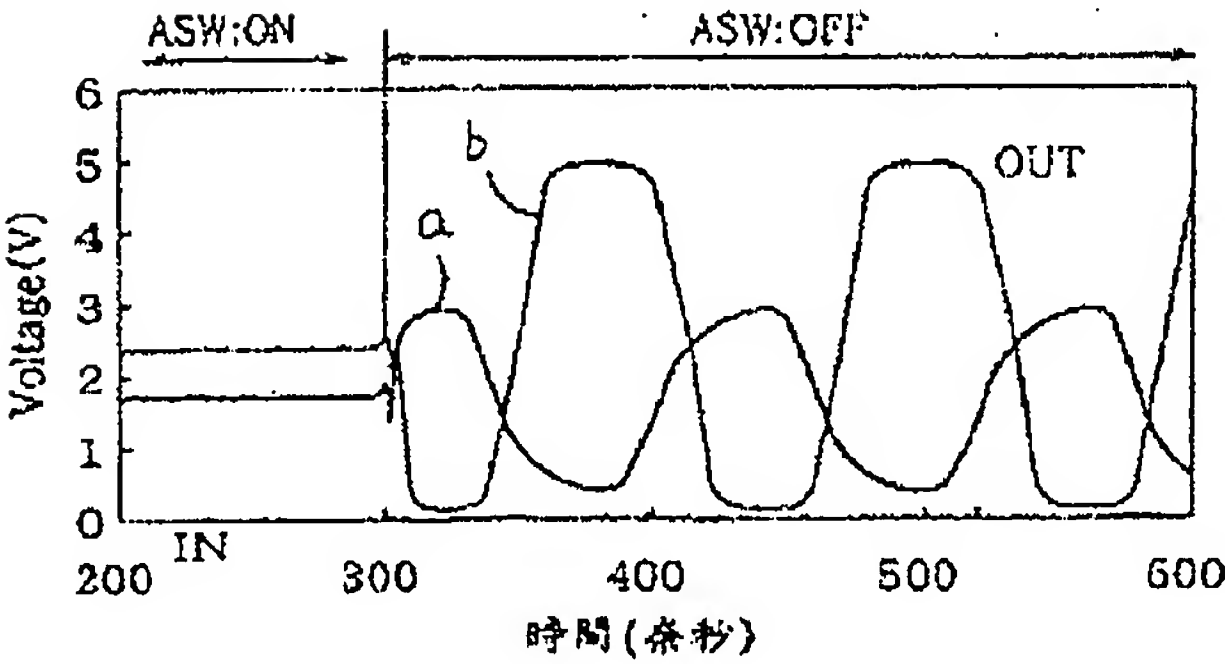
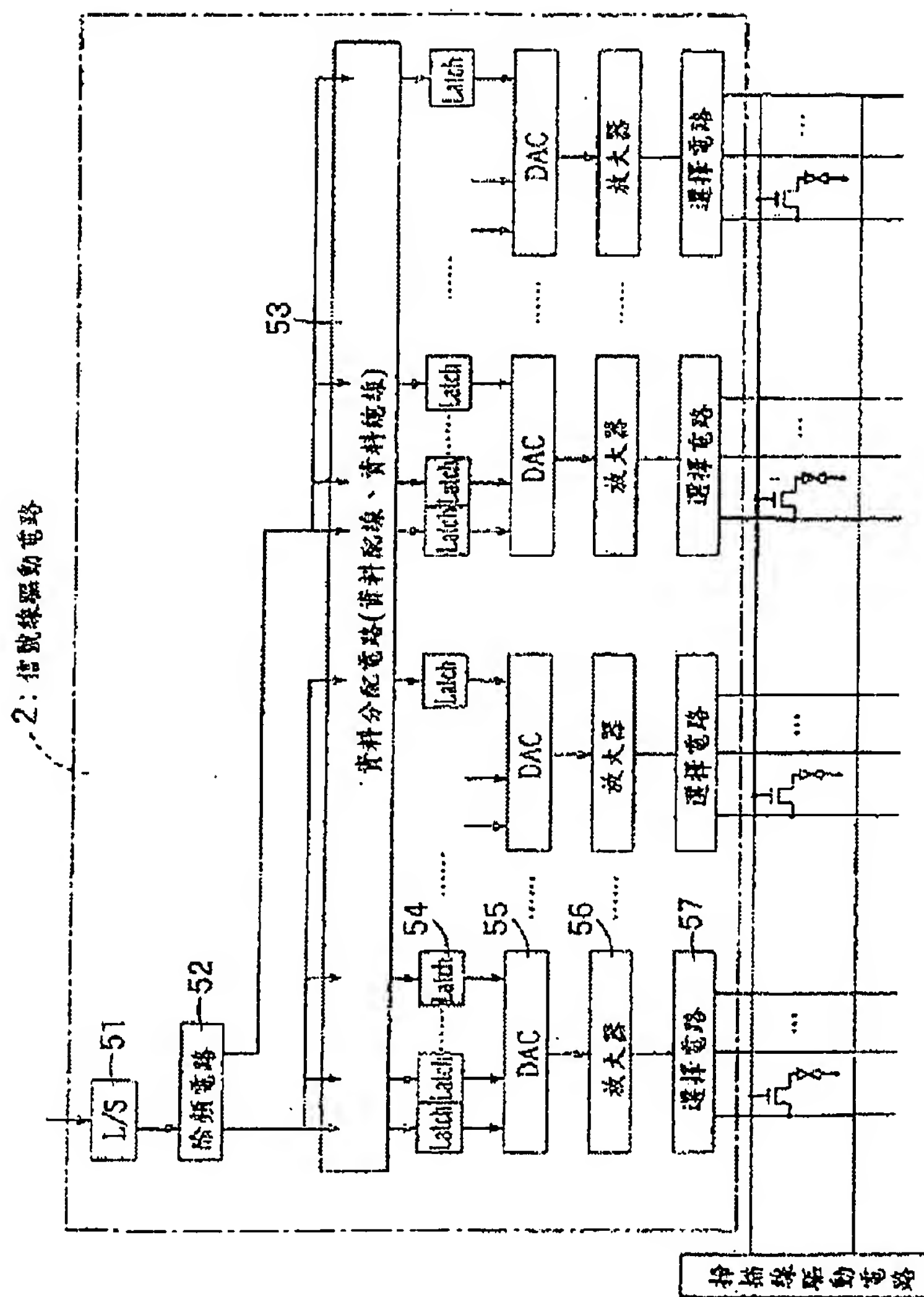


圖 11

(13)



(14)

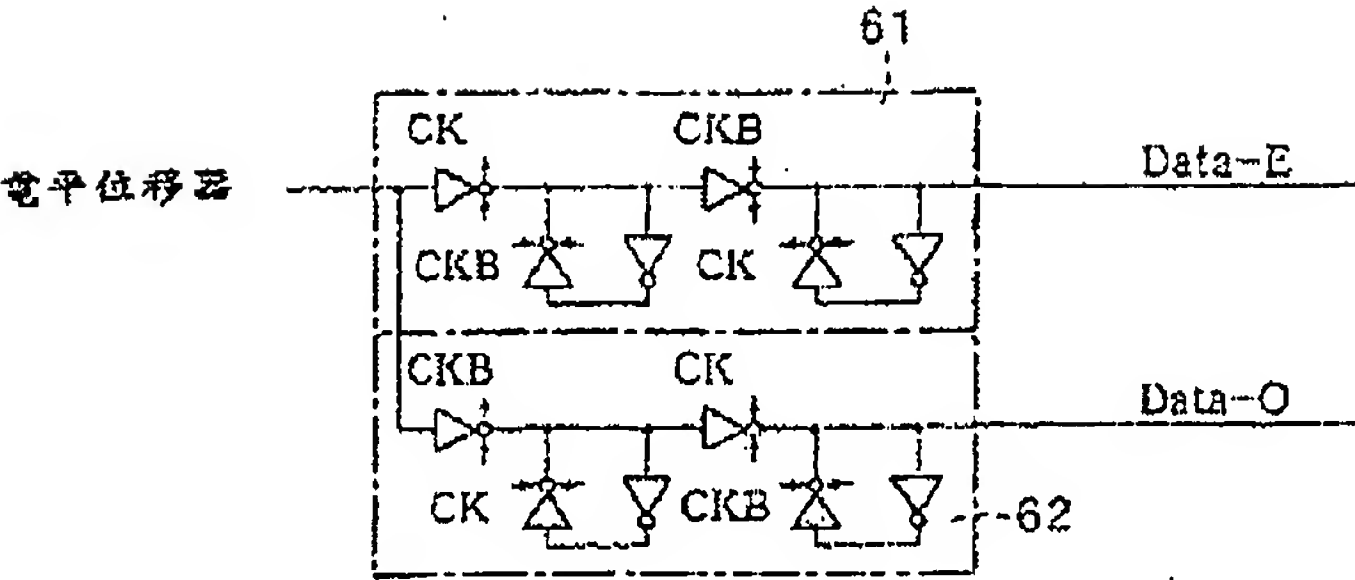


圖 12

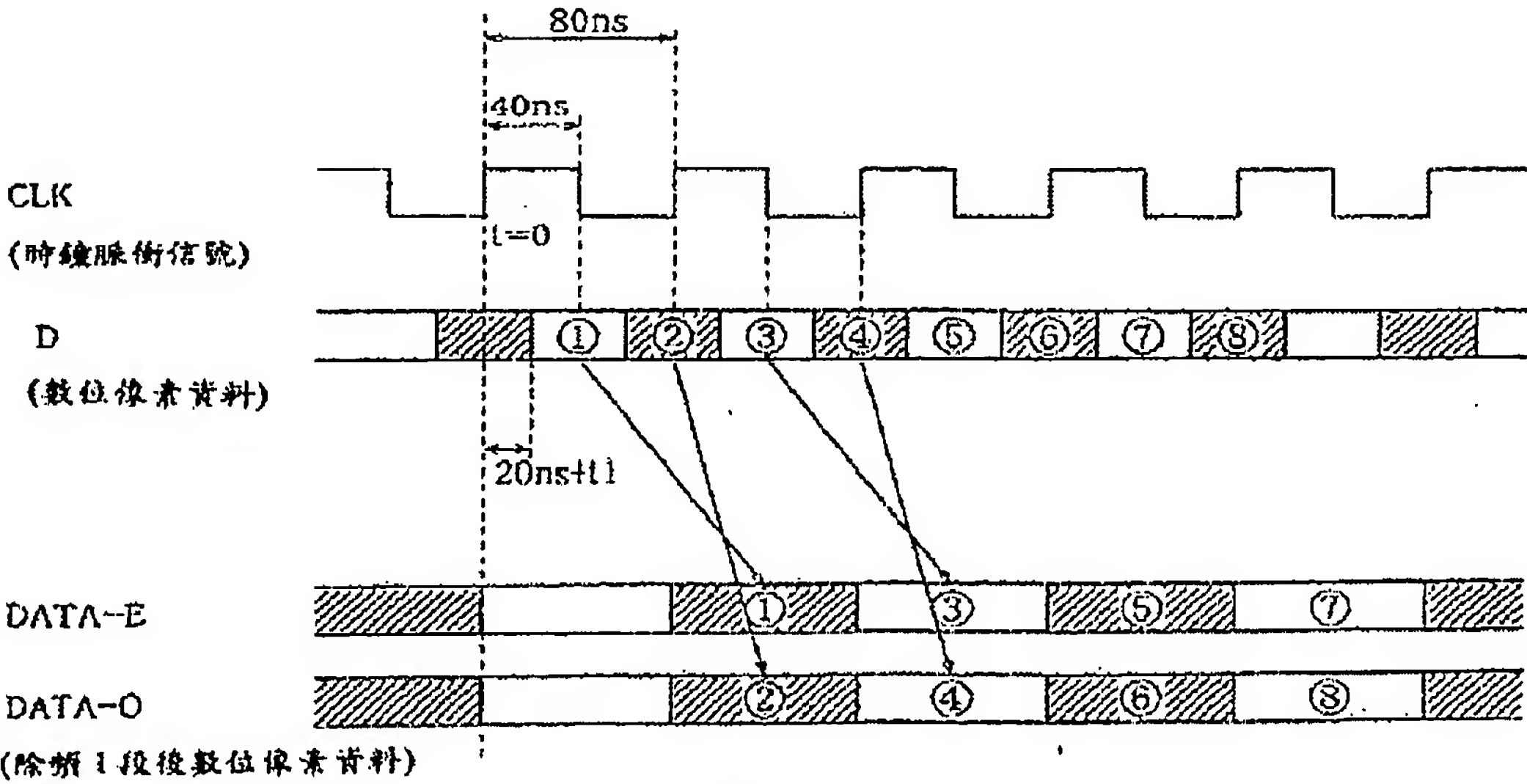


圖 13

(15)

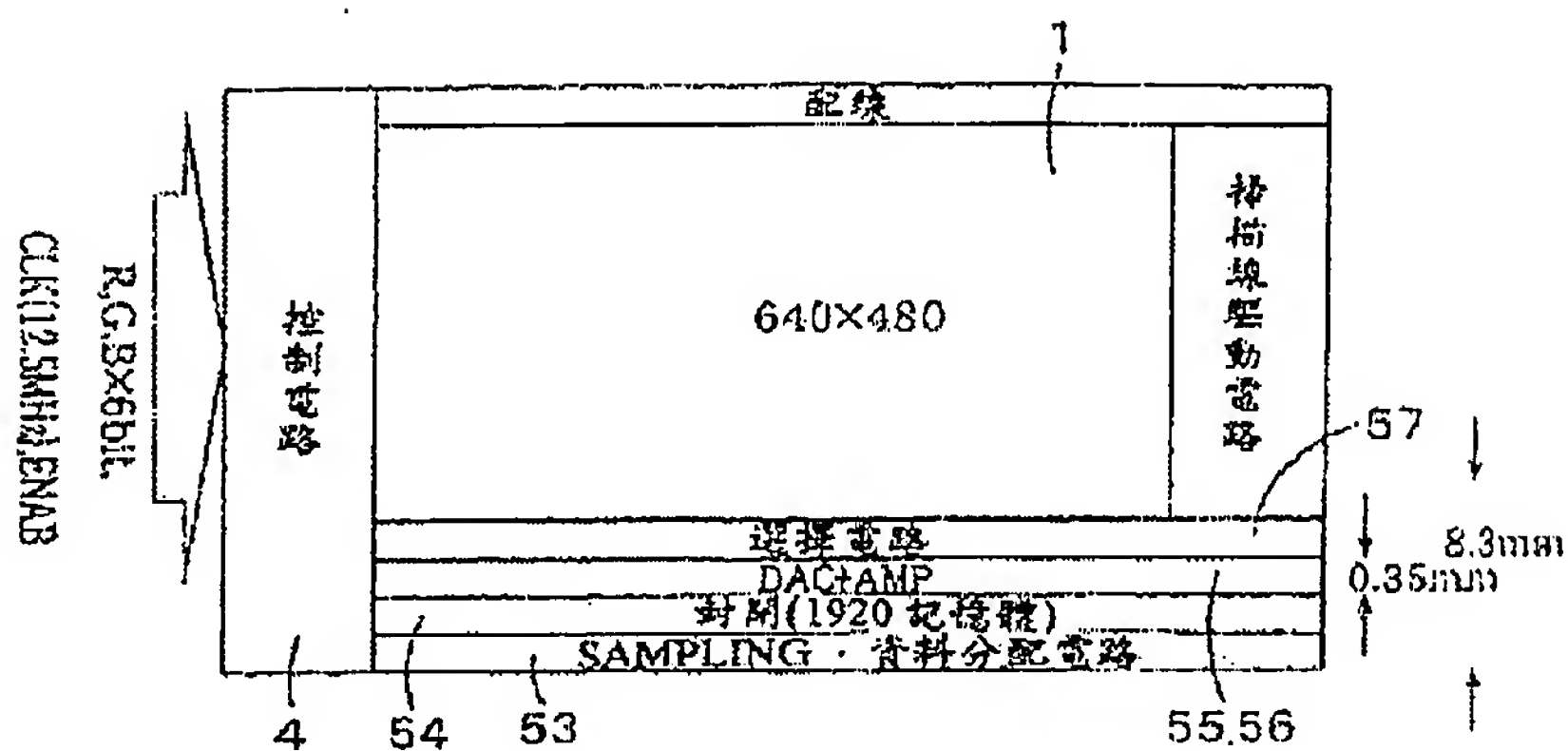


圖 14

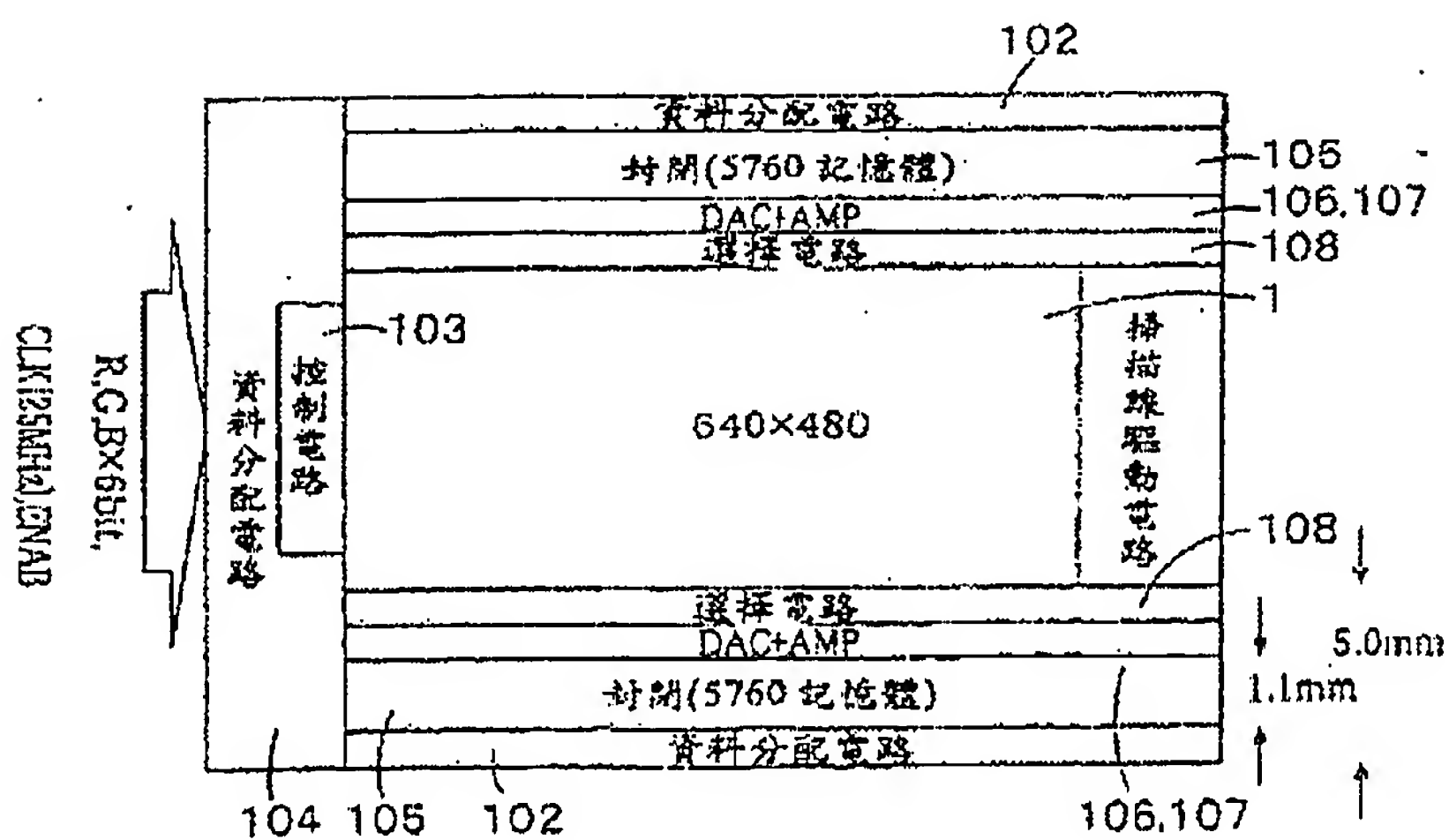


圖 15

(16)

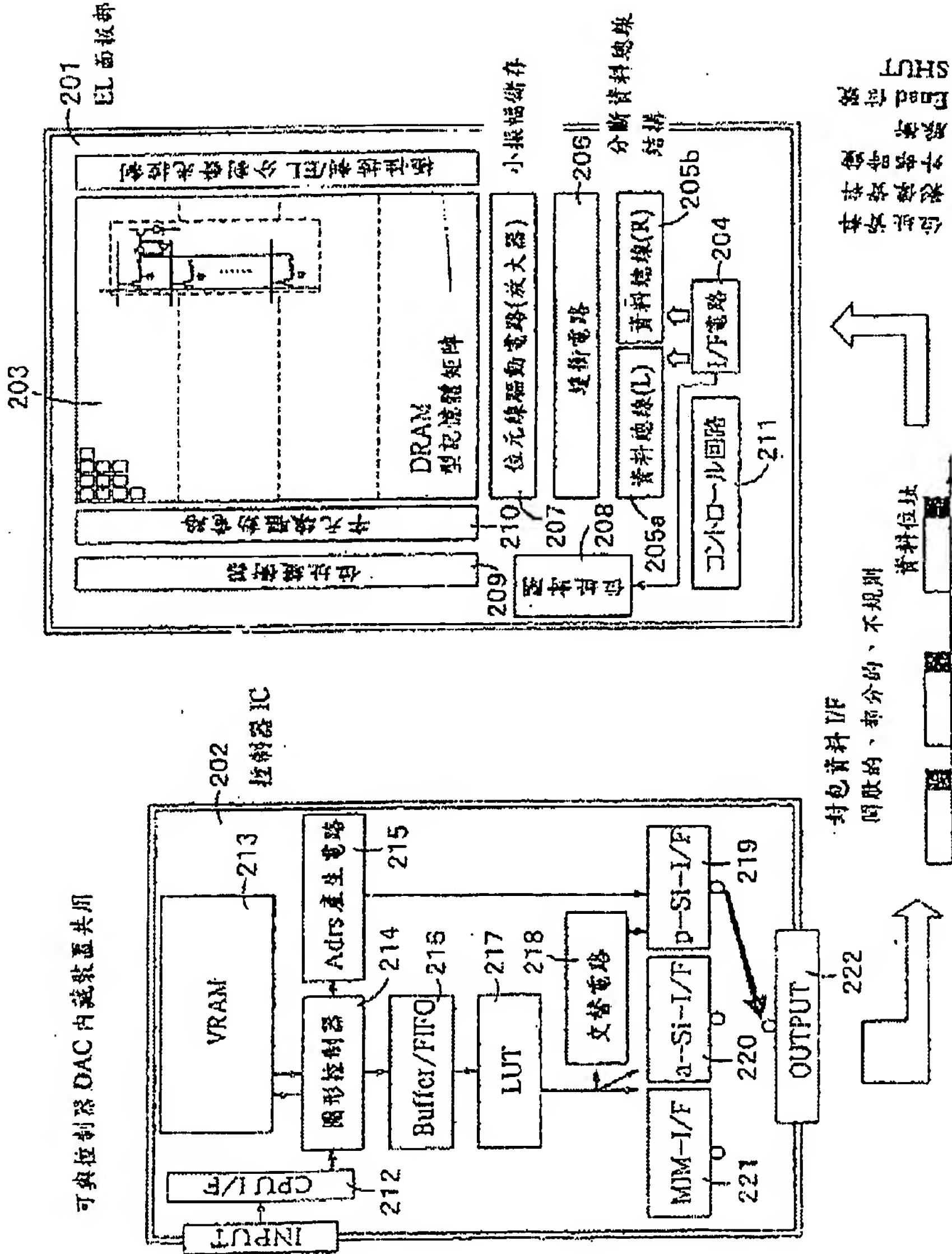


圖 16

(17)

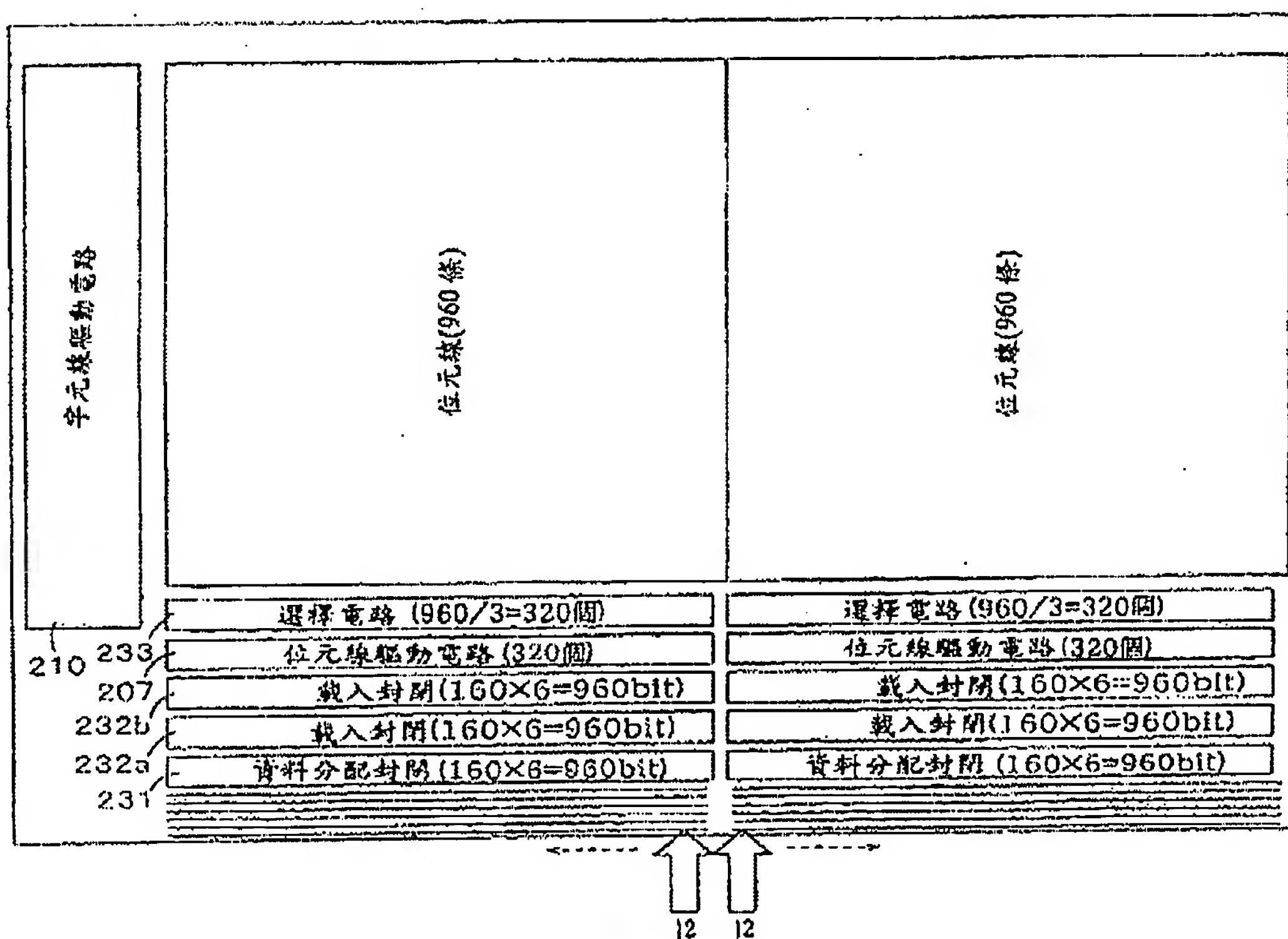


圖 17

(18)

DATA-a[5:0]R1 R5 R9 R13 ... R305R309R313R317BLK R2 R6 R10 R14 ... R306R310R314R318
 DATA-b[5:0]R3 R7 R11 R15 ... R307R311R315R319BLK R4 R8 R12 R16 ... R308R312R316R320
 DATA-c[5:0]R637R633R629R625 ... R333R329R325R321BLK R638R634R630R626 ... R334R330R326R322
 DATA-d[5:0]R639R635R631R627 ... R335R331R327R323BLK R640R636R632R628 ... R336R332R328R324

G1 G5 G9 G13 ... G305G309G313G317BLK G2 G6 G10 G14 ... G306G310G314G318
 G3 G7 G11 G15 ... G307G311G315G319BLK G4 G8 G12 G16 ... G308G312G316G320
 G637G633G629G625 ... G333G329G325G321BLK G638G634G630G626 ... G334G330G326G322
 G639G635G631G627 ... G335G331G327G323BLK G640G636G632G628 ... G336G332G328G324

消隱期間

B1 B5 B9 B13 ... B305B309B313B317BLK B2 B6 B10 B14 ... B306B310B314B318
 B3 B7 B11 B15 ... B307B311B315B319BLK B4 B8 B12 B16 ... B308B312B316B320
 B637B633B629B625 ... B333B329B325B321BLK B638B634B630B626 ... B334B330B326B322
 B639B635B631B627 ... B335B331B327B323BLK B640B636B632B628 ... B336B332B328B324

消隱期間

圖 18

(19)

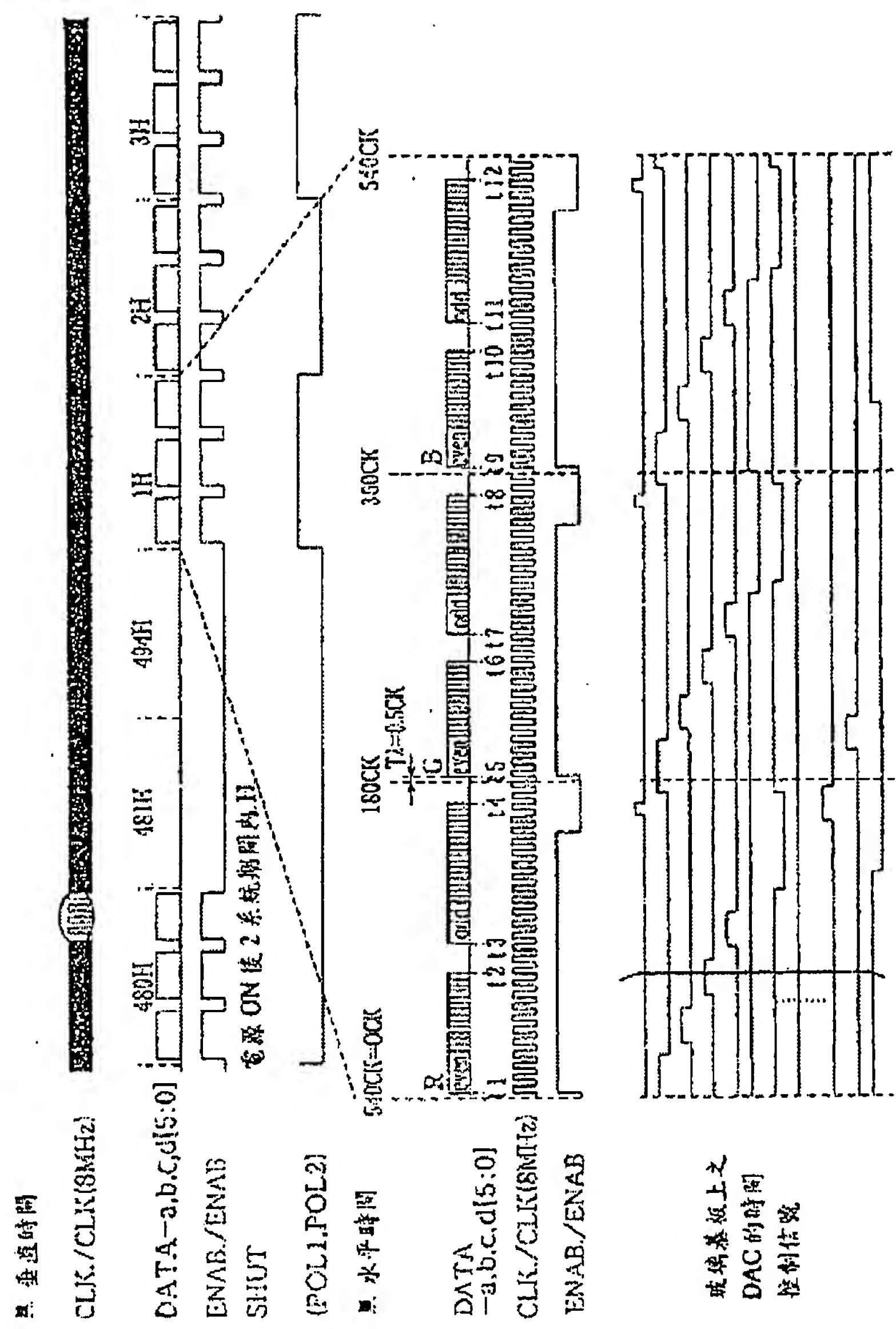


圖 19

(20)

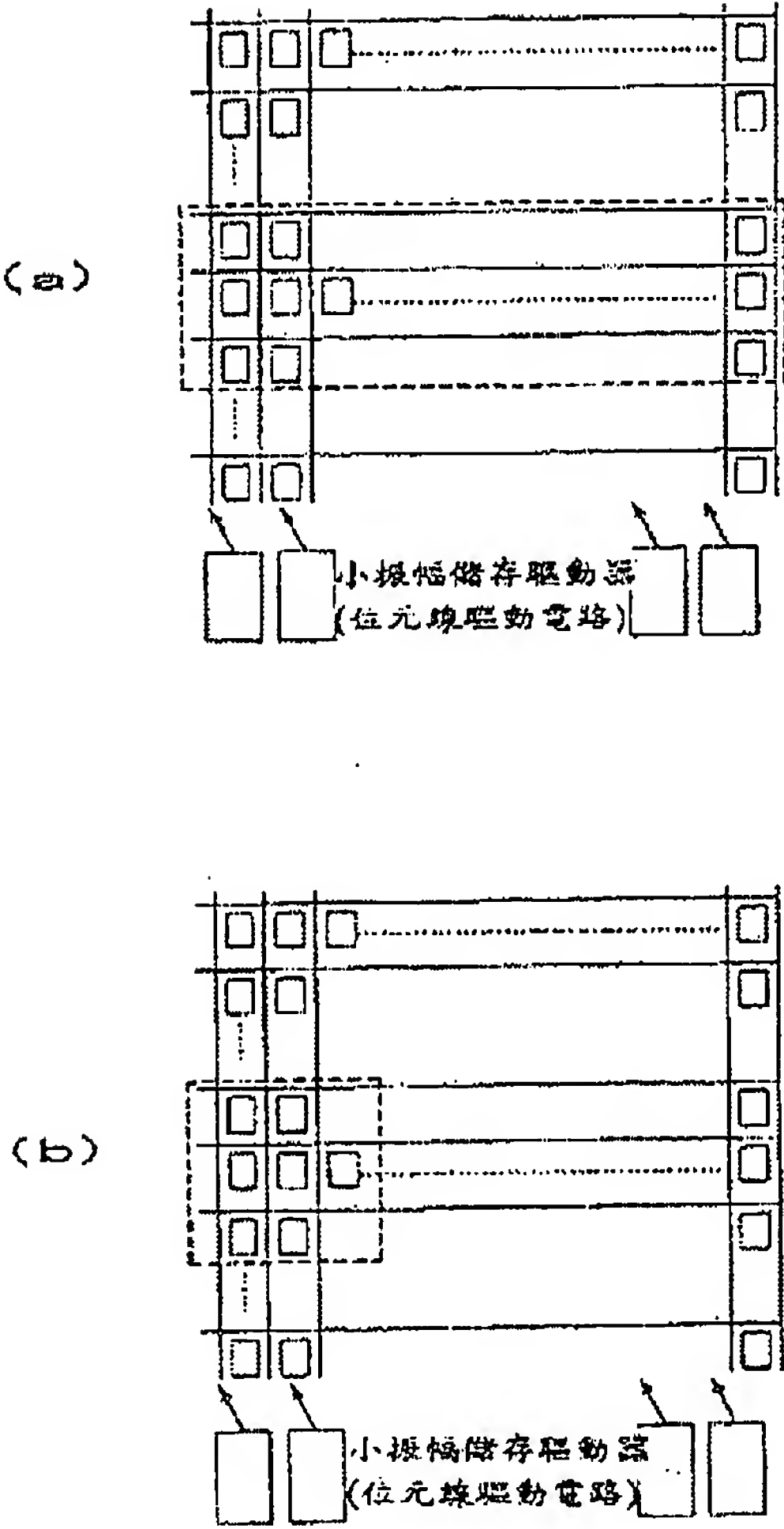
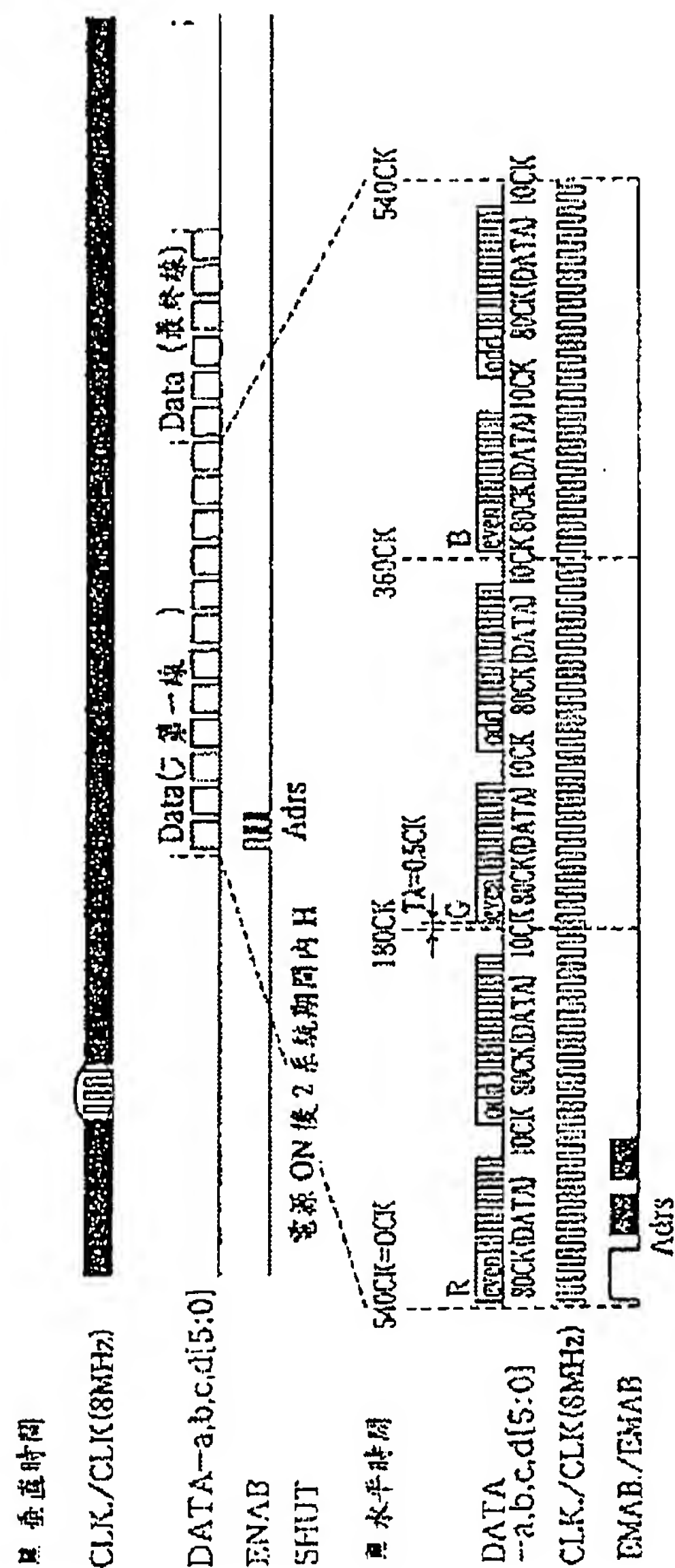


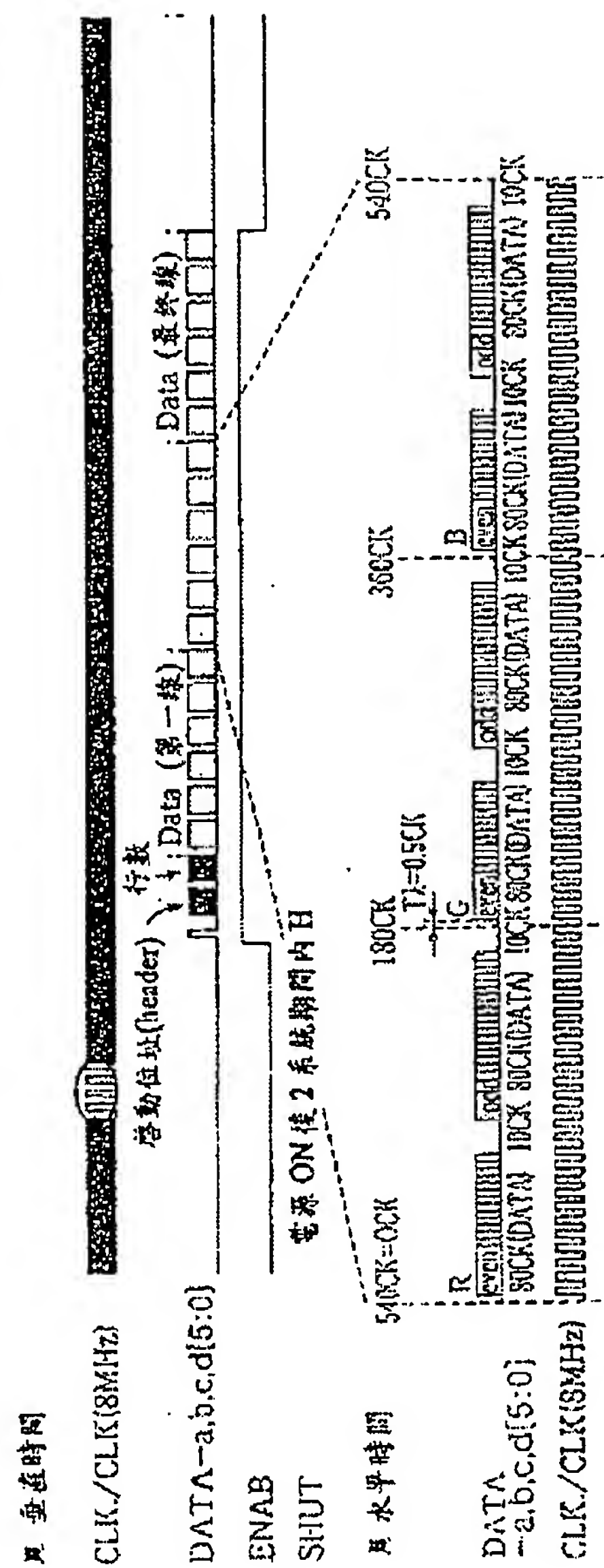
圖 20

(21)



2

(22)



22

(23)

對 6 信號線將 DAC 以 1 個之比例而設置之例子

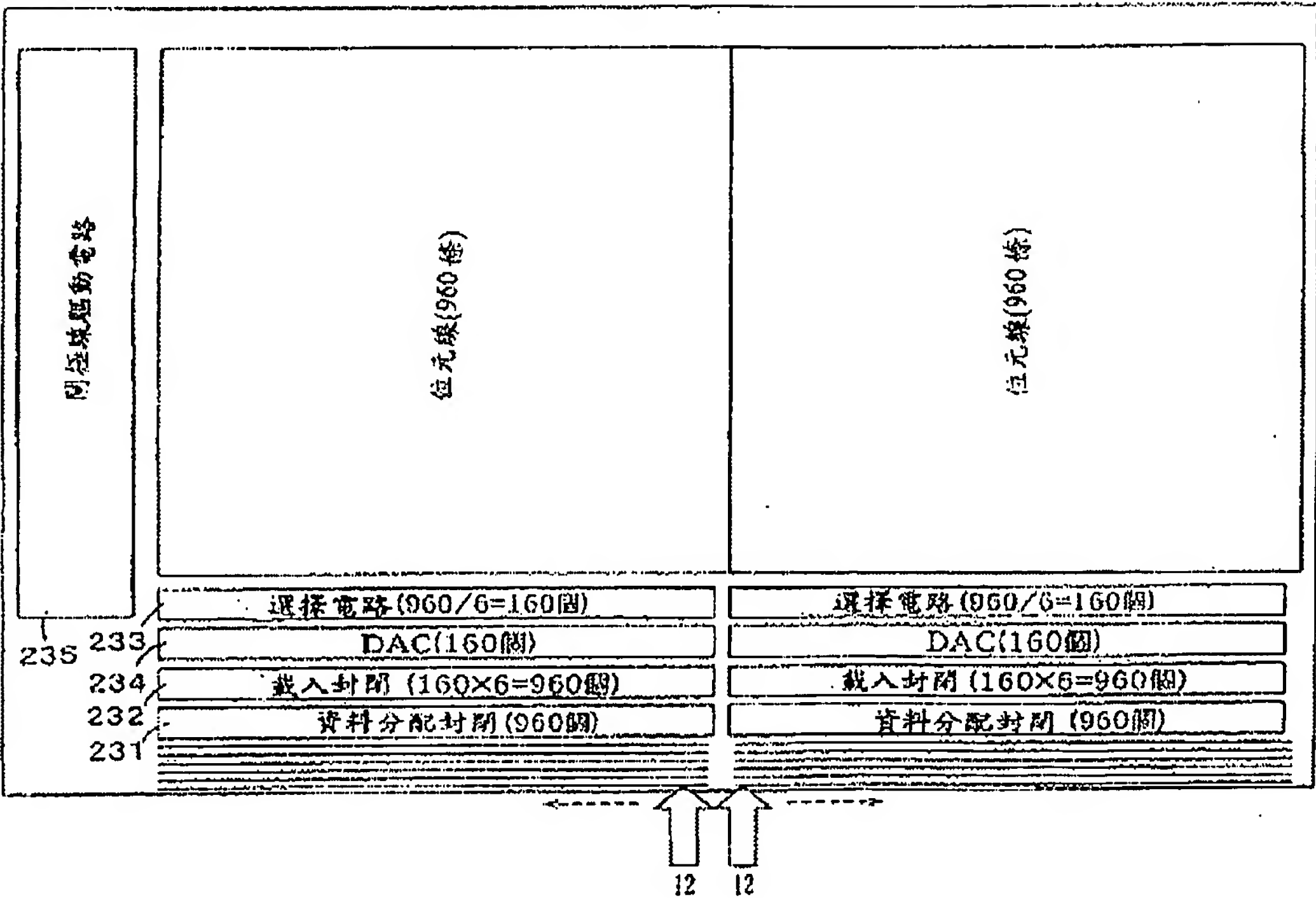


圖 23

(24)

對 3 信號線將 DAC 以 1 個之比例而設置之例子(1)

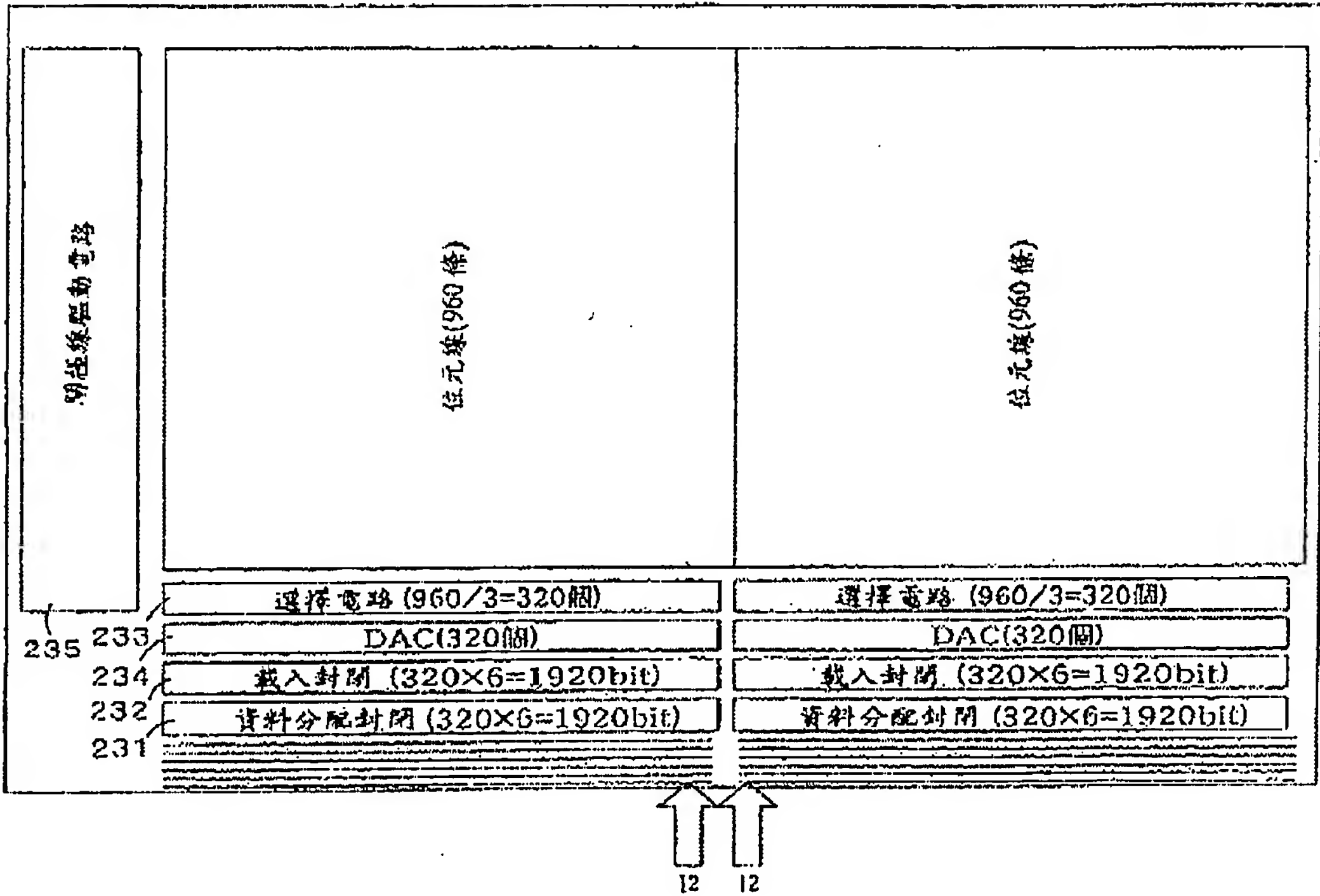


圖 24

(25)

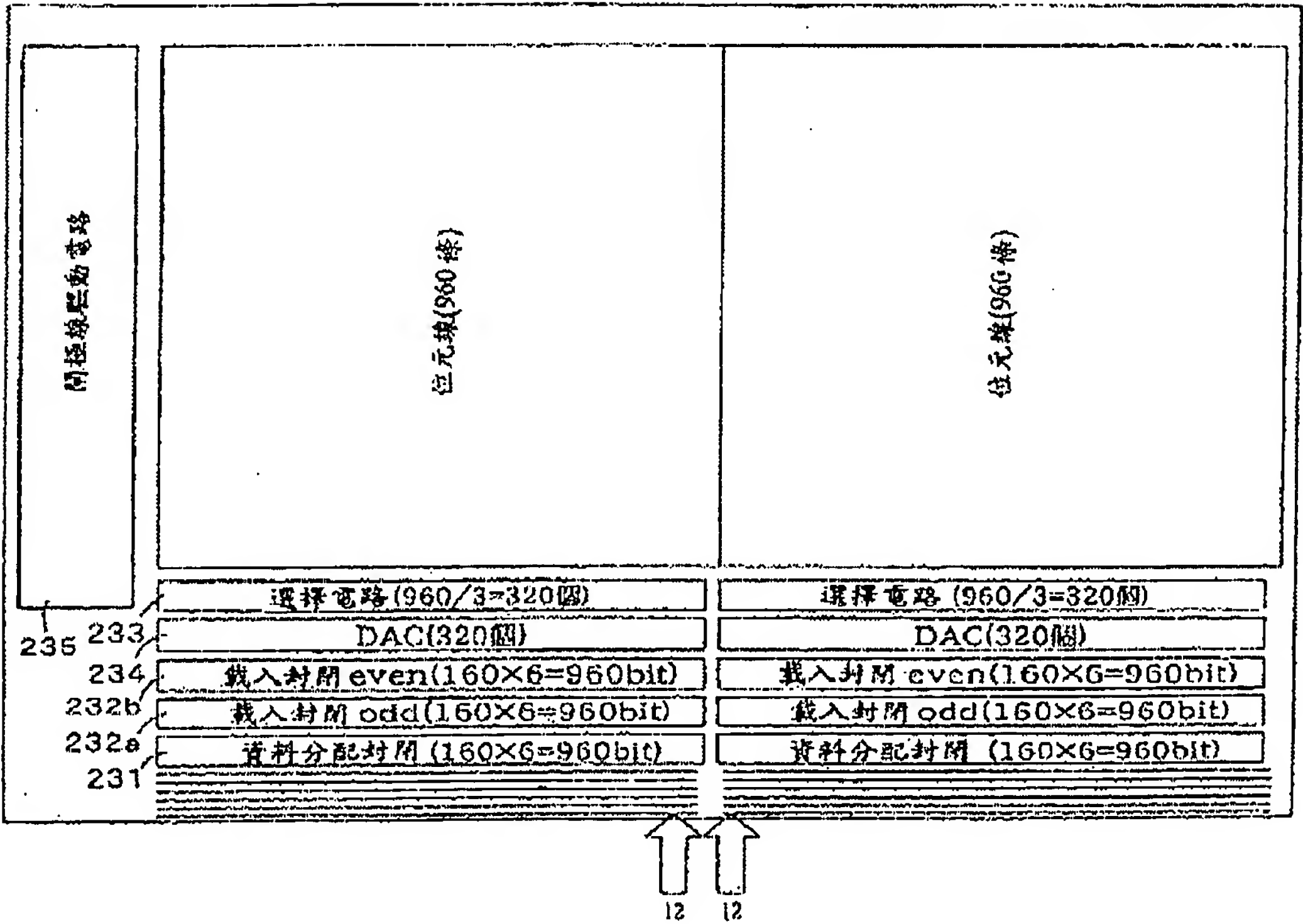


圖 25

(26)

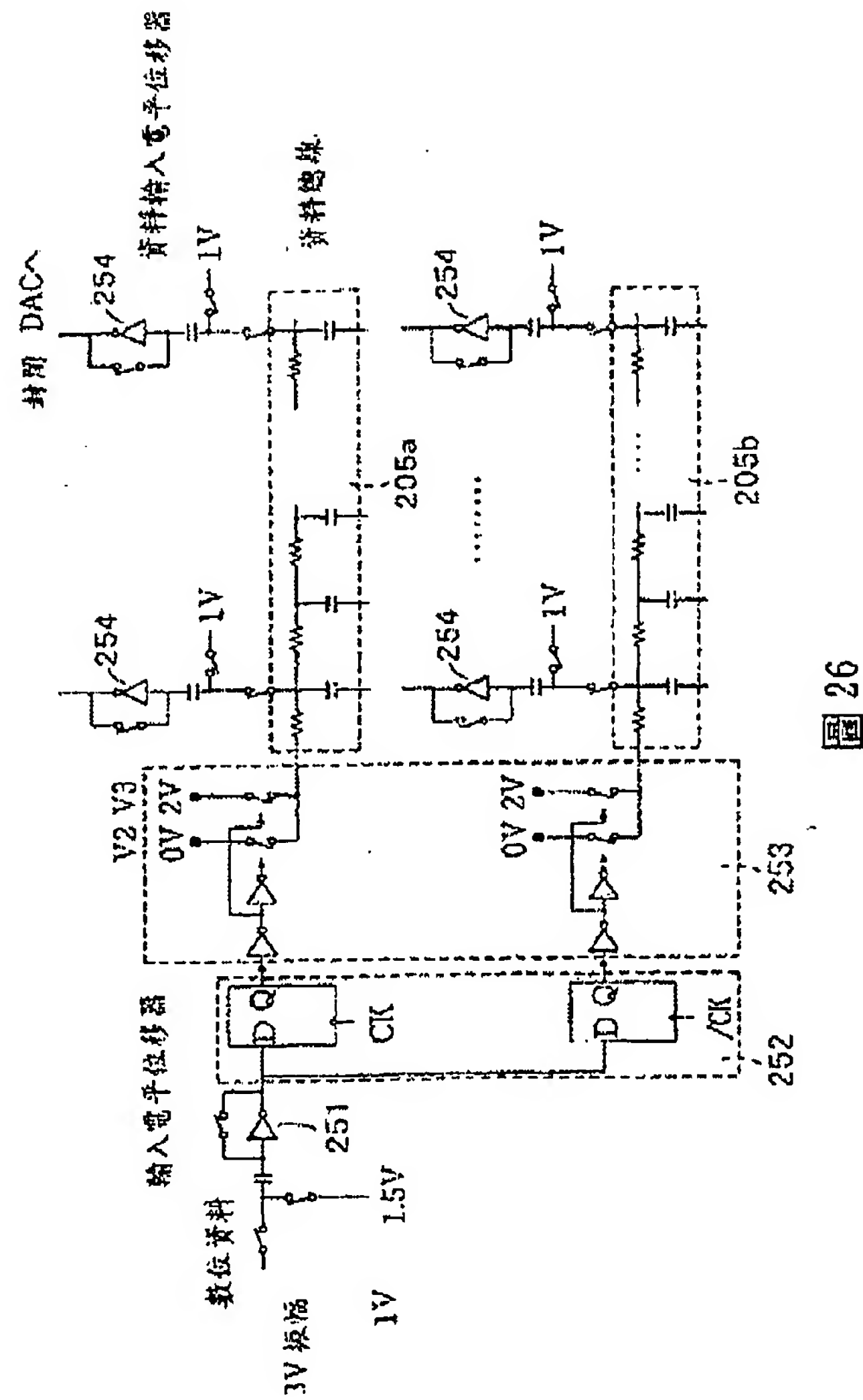


圖 26

(27)

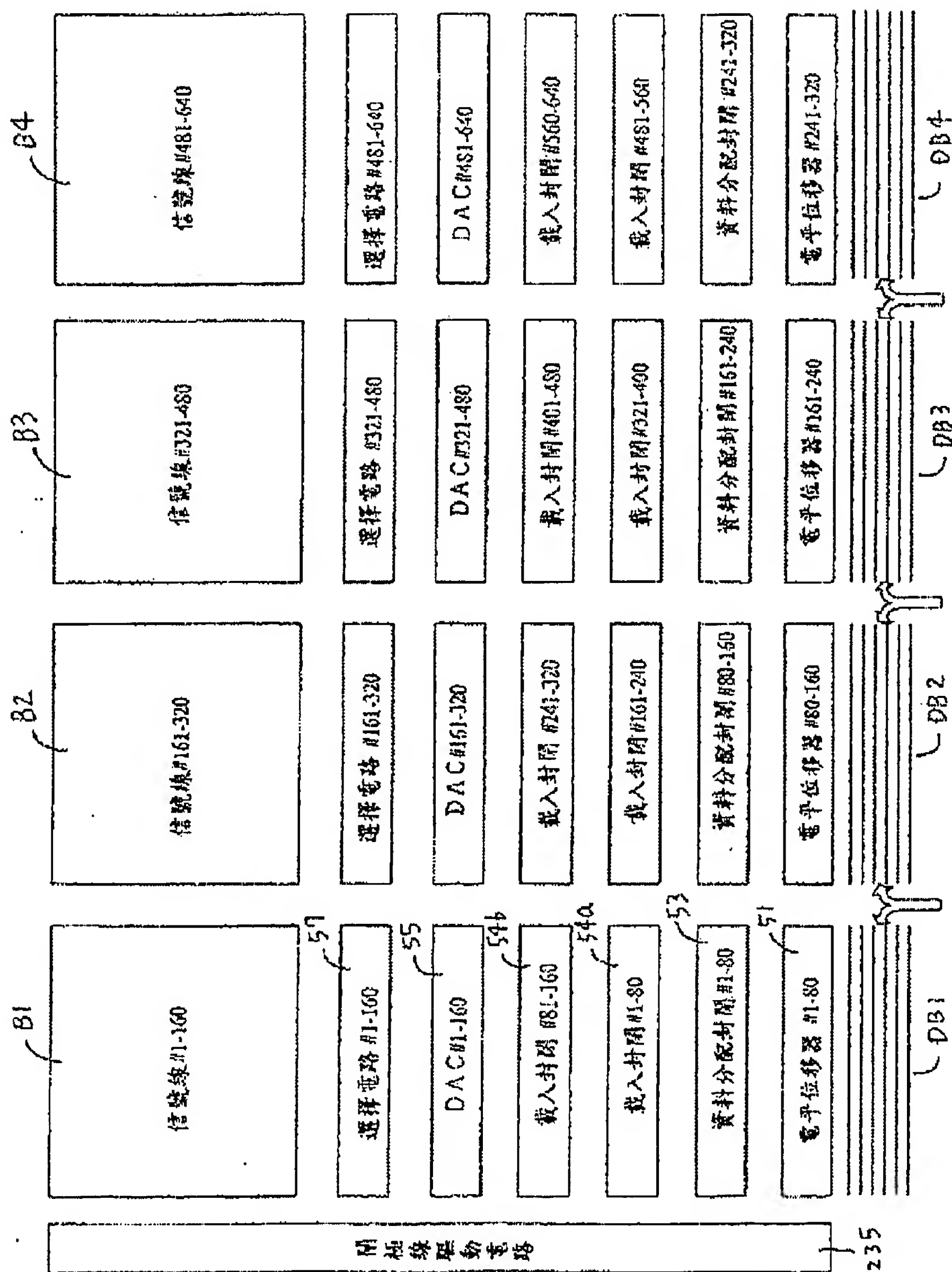


圖 27

(28)

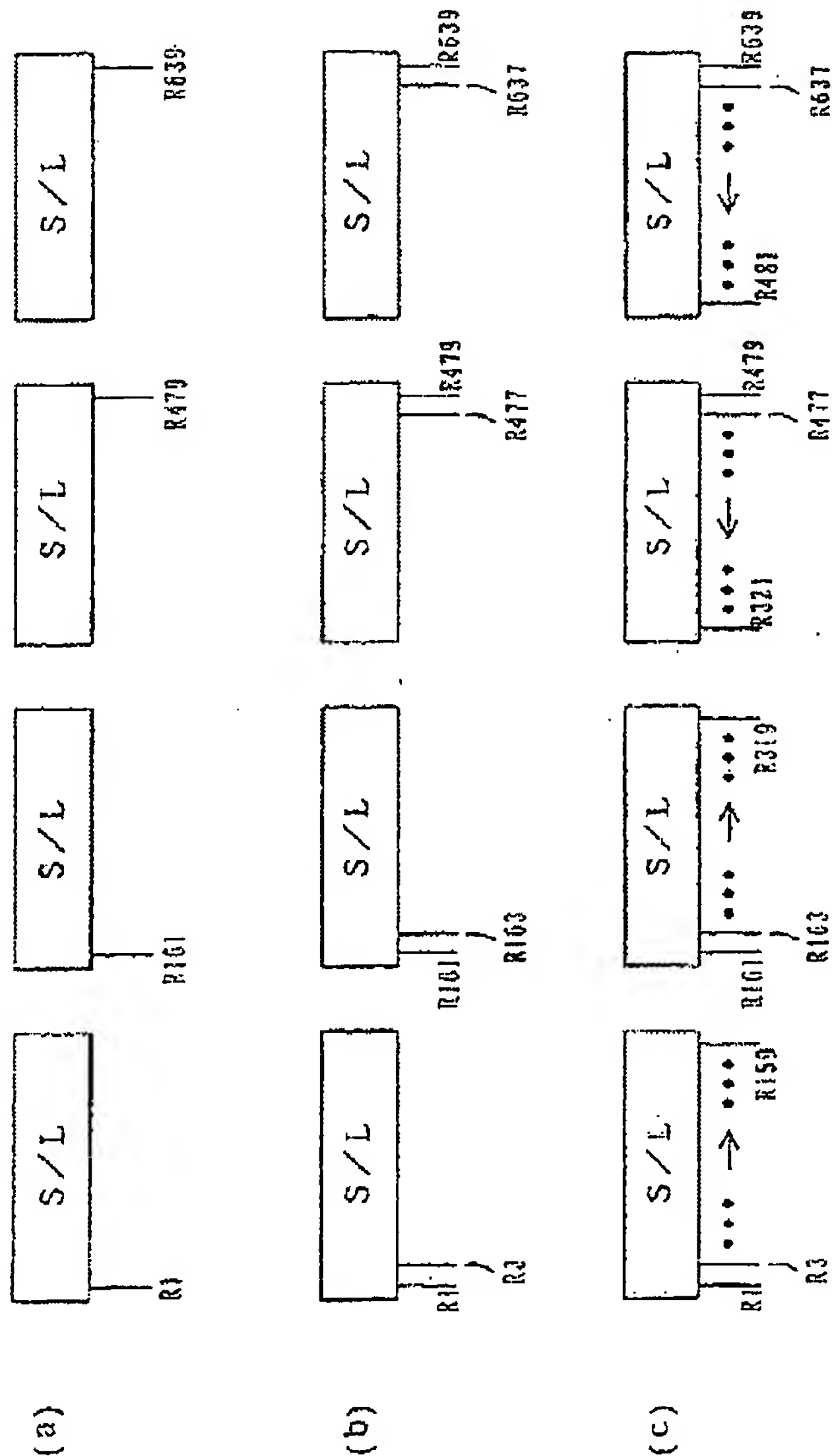


FIG. 28

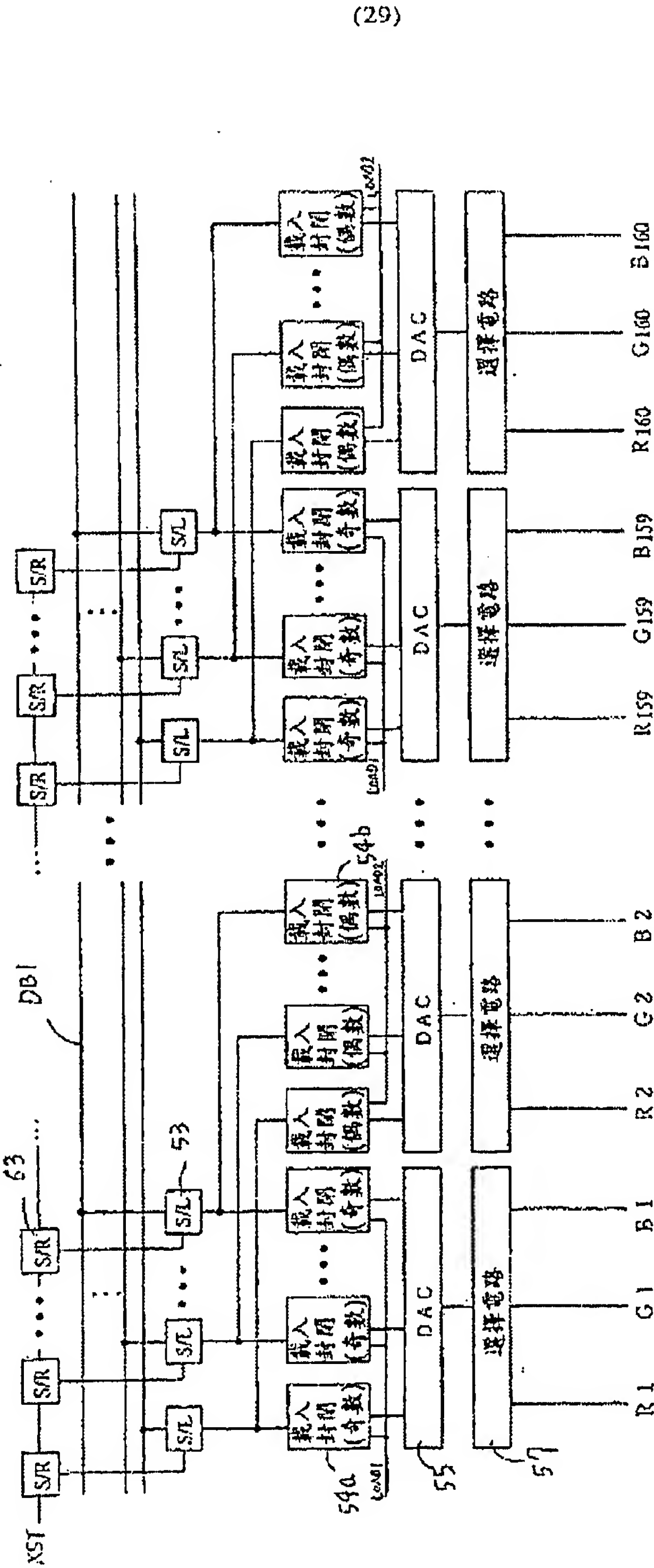


圖 29

(30)

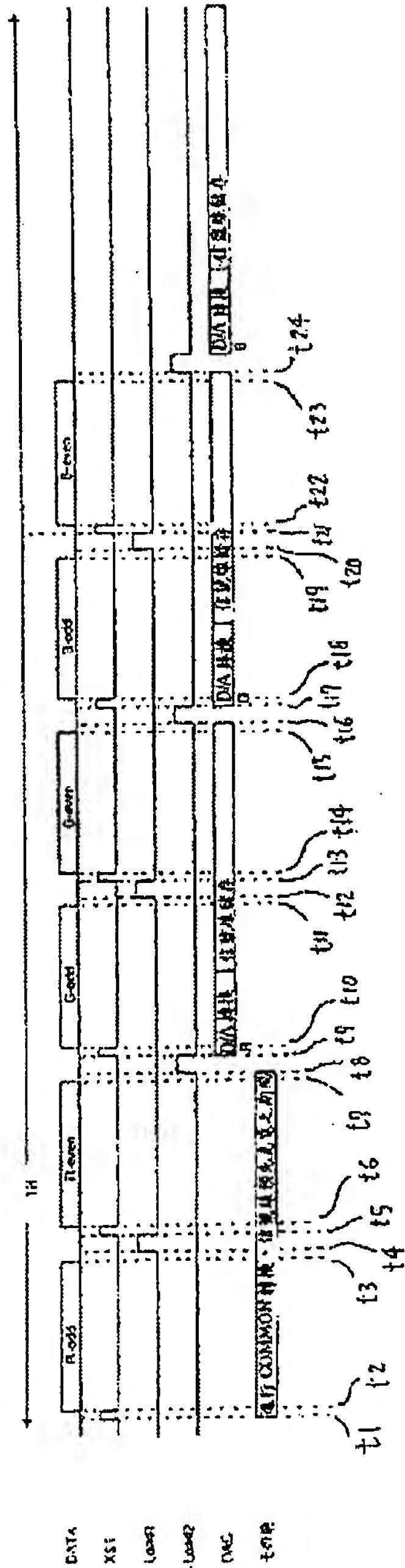


圖 30

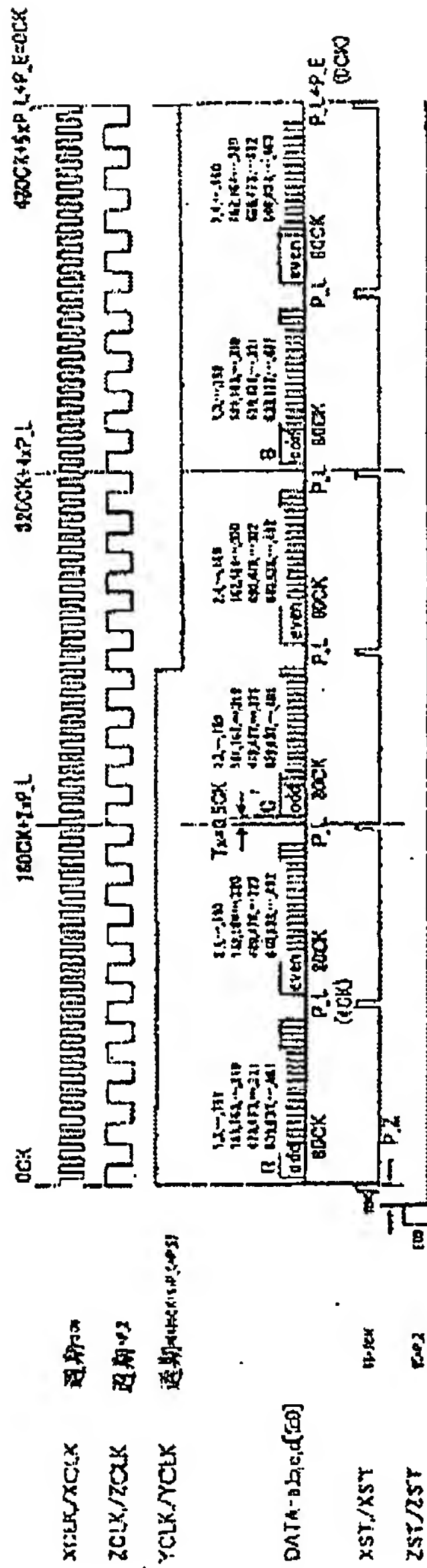


圖 31

(31)

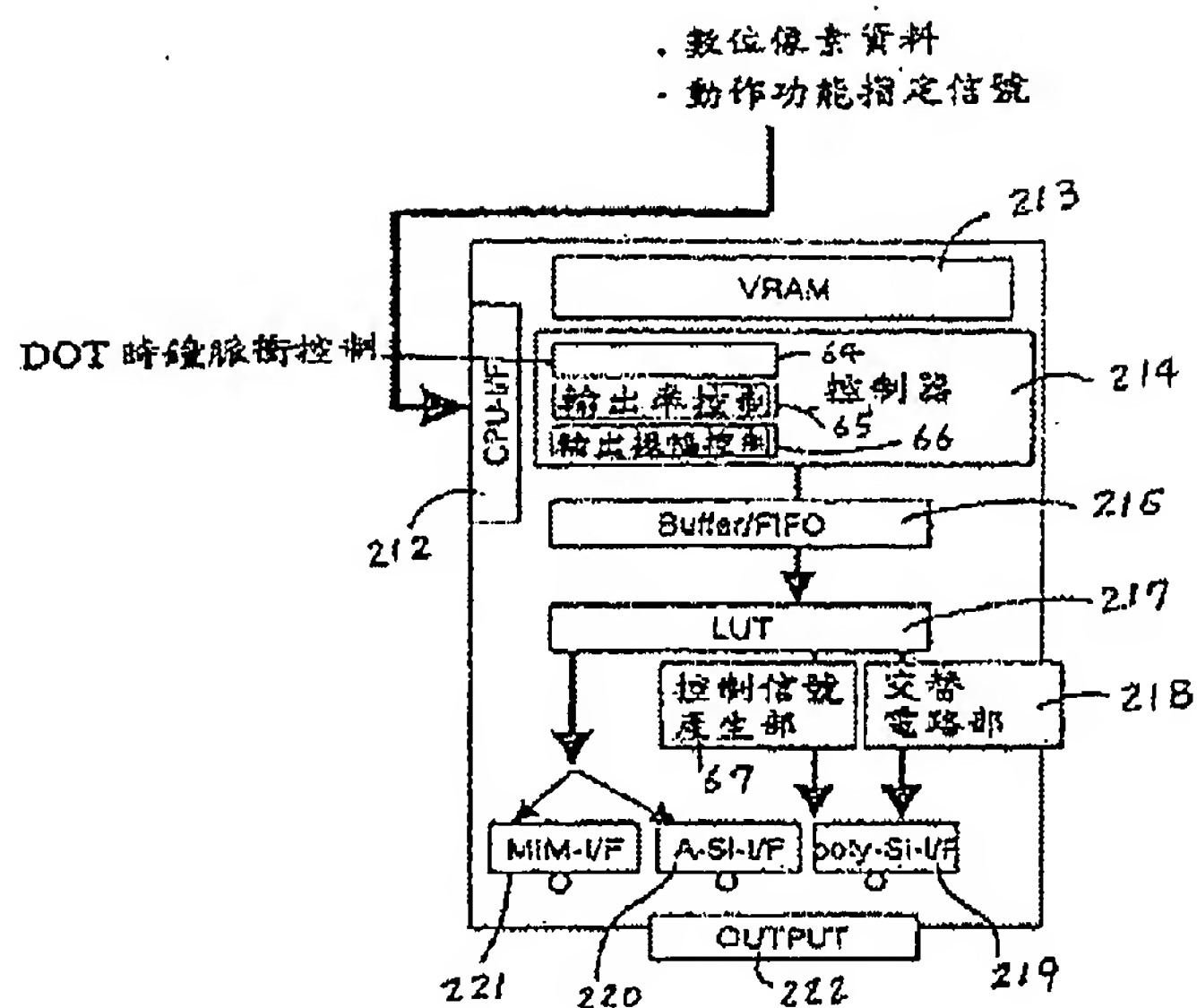


圖 32

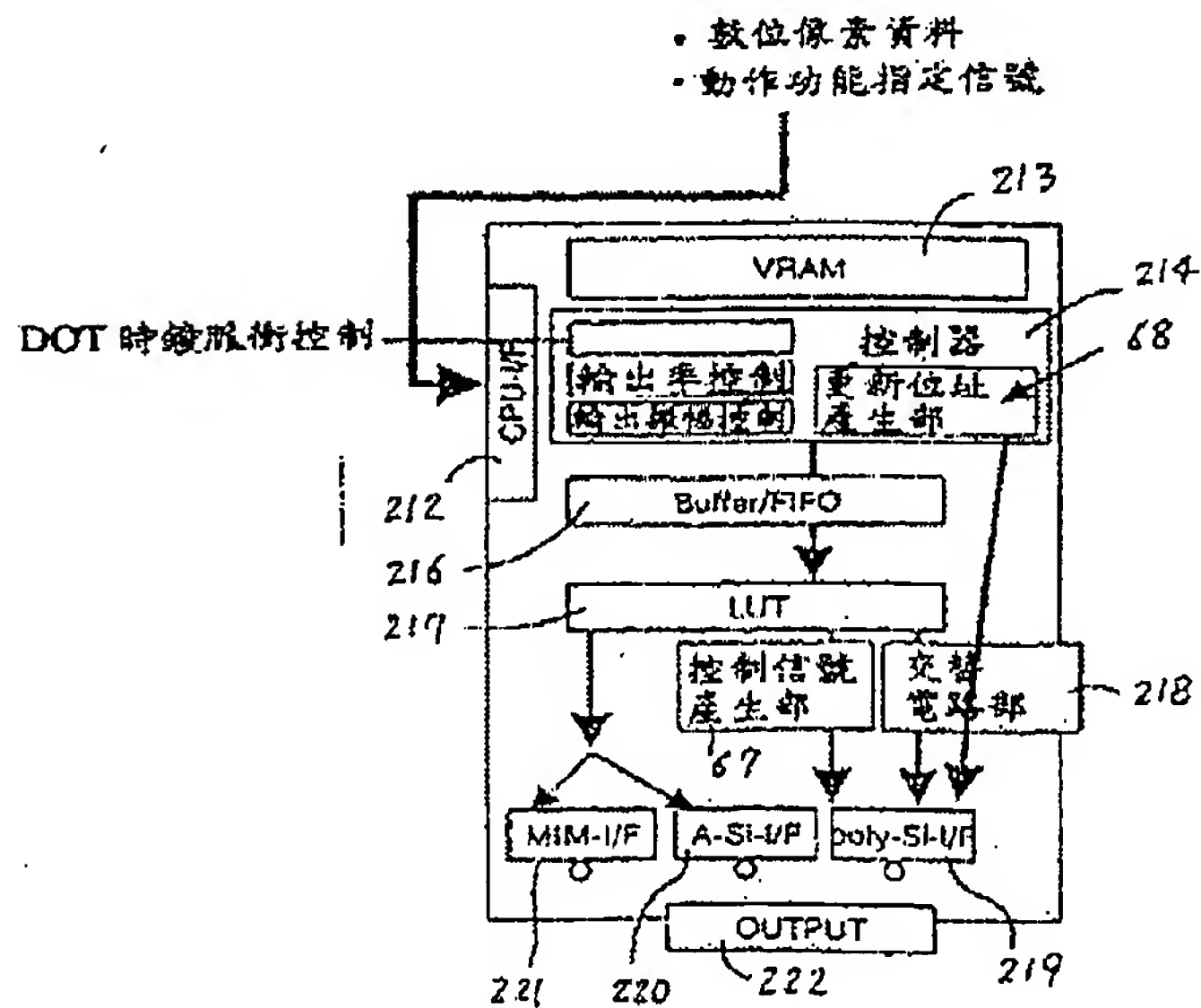


圖 33

- 3487 -

(32)

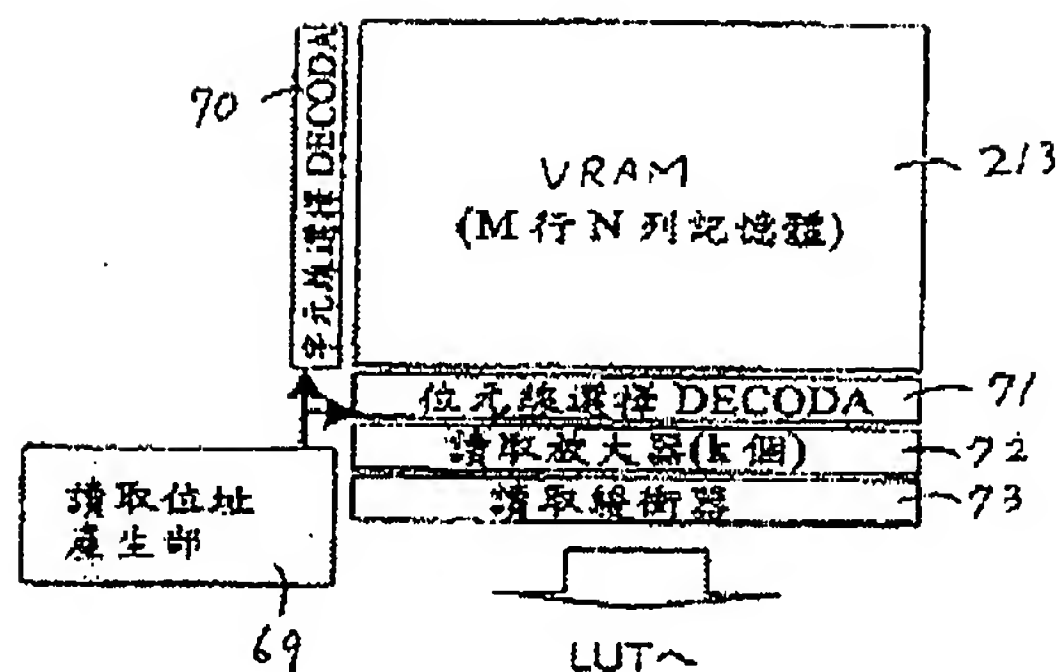


圖 34

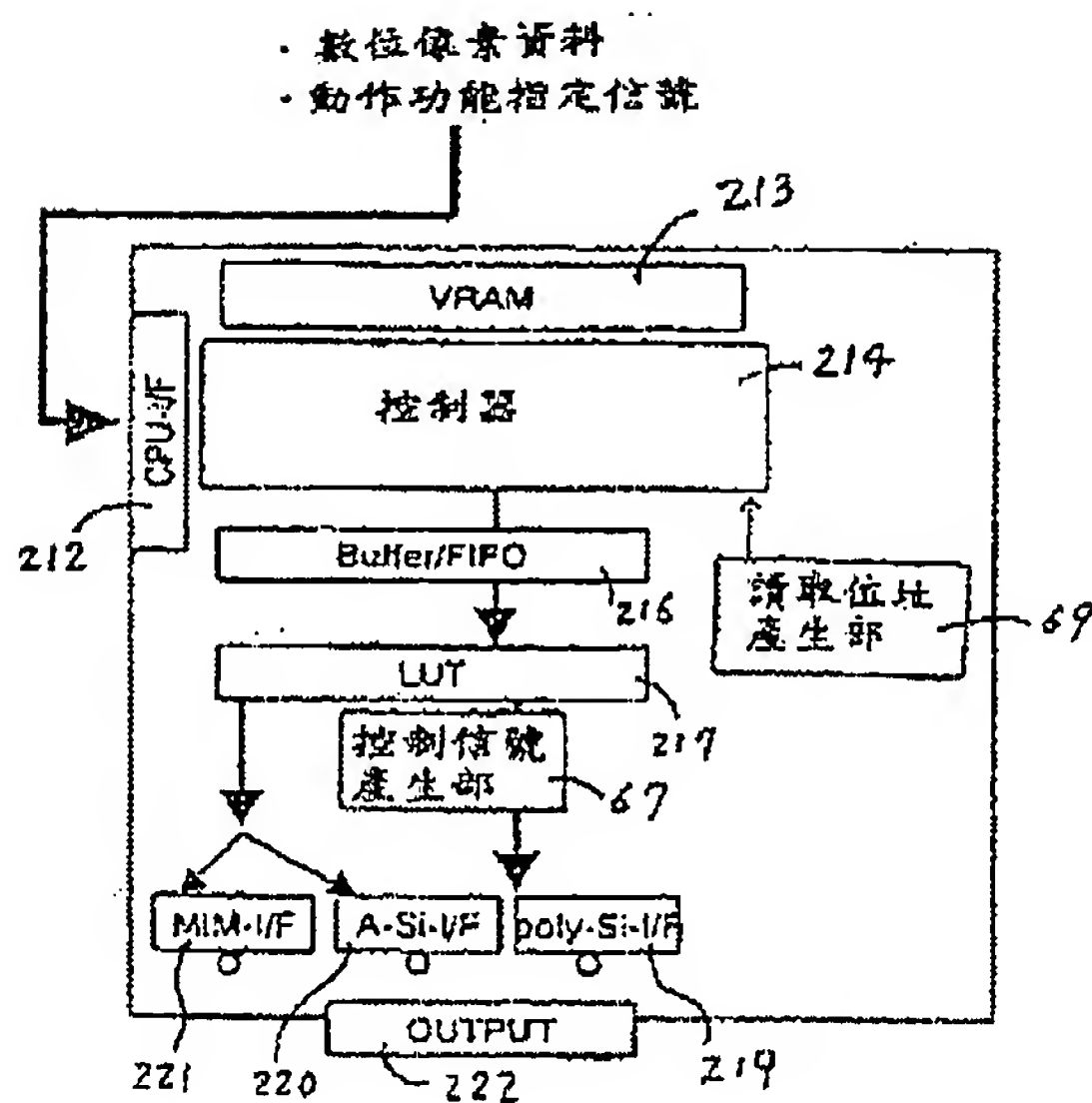


圖 35

- 3488 -

(33)

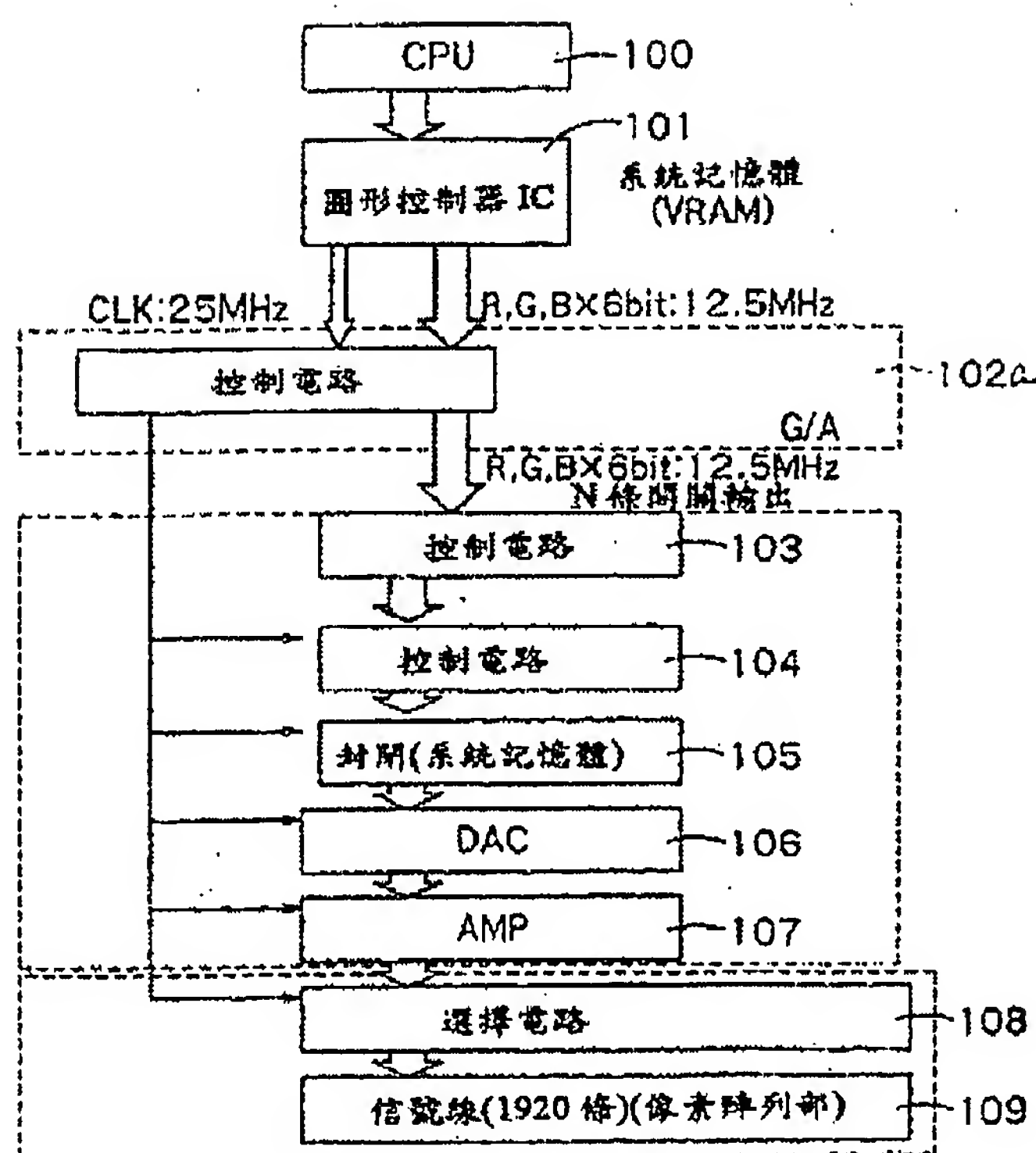


圖 36